

## センス端子分離(最大印加電圧 76V) / 低消費(0.5 $\mu$ A) 多機能 電圧検出器

### ■概要

XC6138 シリーズはセンス端子分離、遅延容量外付けタイプの高電圧を検出可能な高精度電圧検出器です。  
 センス端子の最大印加電圧 76V、検出電圧が 2.3V~20.0V で設定可能であり、高電圧を直接監視することが可能です。  
 解除電圧も 2.5V~24.0V の範囲で設定でき、様々な検出電圧と解除電圧の組合せを選択することが可能です。

従来のように抵抗分圧する必要が無いため、検出/解除電圧の高精度化と分圧抵抗の消費電流が削減でき低消費化に貢献します。  
 遅延時間も外付け容量で外調可能 かつ 検出/解除時間の割合を選択できることから、用途に合わせた検出/解除時間を設定可能です。  
 またセンス端子と電源端子が分離されていることで、監視電圧が 0V まで低下しても、検出状態を保持し不定状態になりません。

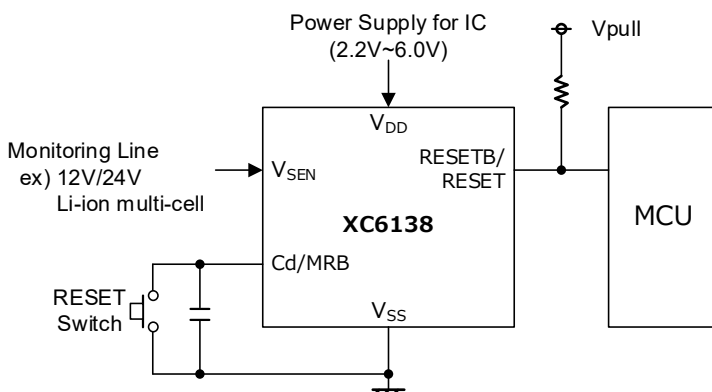
### ■用途

- バッテリー電圧の監視
- 停電検出
- マイコンのリセット及び誤動作監視
- システムのパワーオンリセット

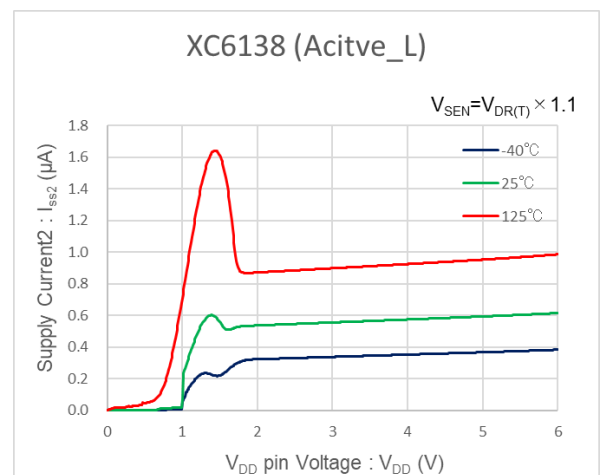
### ■特長

動作電圧範囲	: 2.2V ~ 6.0V
V <sub>SEN</sub> 電圧範囲	: 0.0V ~ 76.0V
検出電圧範囲	: 2.3V ~ 20.0V
解除電圧範囲	: 2.5V ~ 24.0V (検出電圧の+5% ~ +50%)
検出電圧精度	: $\pm 1.5\%$ (Ta=25 $^{\circ}$ C), $\pm 3.0\%$ (Ta=-40 $^{\circ}$ C~125 $^{\circ}$ C)
解除電圧精度	: $\pm 1.5\%$ (Ta=25 $^{\circ}$ C), $\pm 3.0\%$ (Ta=-40 $^{\circ}$ C~125 $^{\circ}$ C)
検出電圧温度特性	: $\pm 50$ ppm/ $^{\circ}$ C
低消費電流	: I <sub>DD</sub> 0.5 $\mu$ A @ V <sub>DD</sub> =2.2V I <sub>SEN</sub> 0.15 $\mu$ A @ V <sub>SEN</sub> =12V
出力形態	: CMOS or Nch open drain
出力論理	: 検出時 H レベル or L レベル
機能	: 検出/解除遅延時間 外調可 検出/解除時間比 選択可 マニュアルリセット
動作温度範囲	: -40 $^{\circ}$ C ~ 125 $^{\circ}$ C
パッケージ	: DFN1515-6A (1.5 x 1.5 x 0.38mm) SOT-25 (2.8 x 2.9 x 1.3mm)
環境への配慮	: EU RoHS 指令対応、鉛フリー

### ■代表標準回路

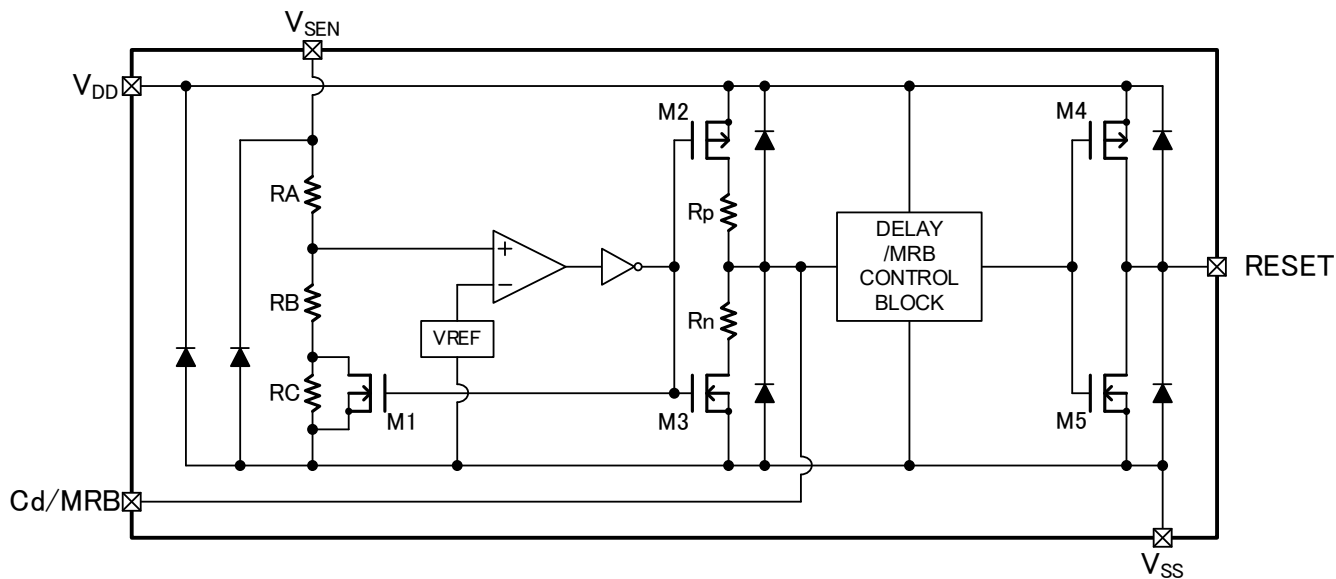


### ■代表特性例



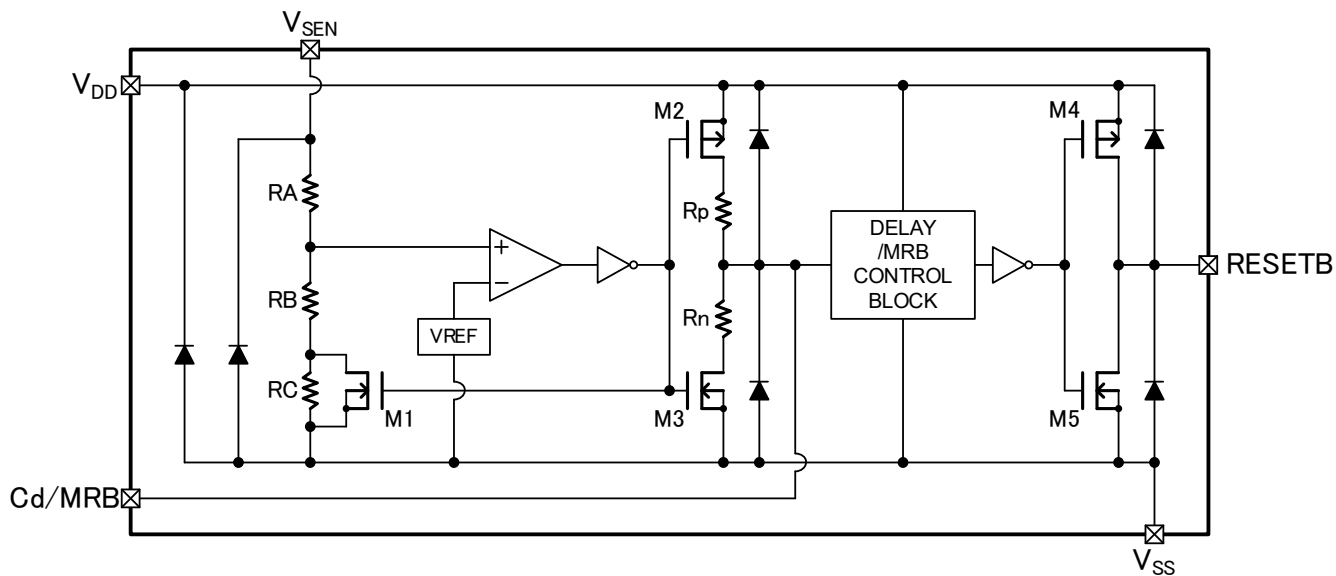
## ■ブロック図

(1) Bタイプ : Active "H" / CMOS Output



\* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

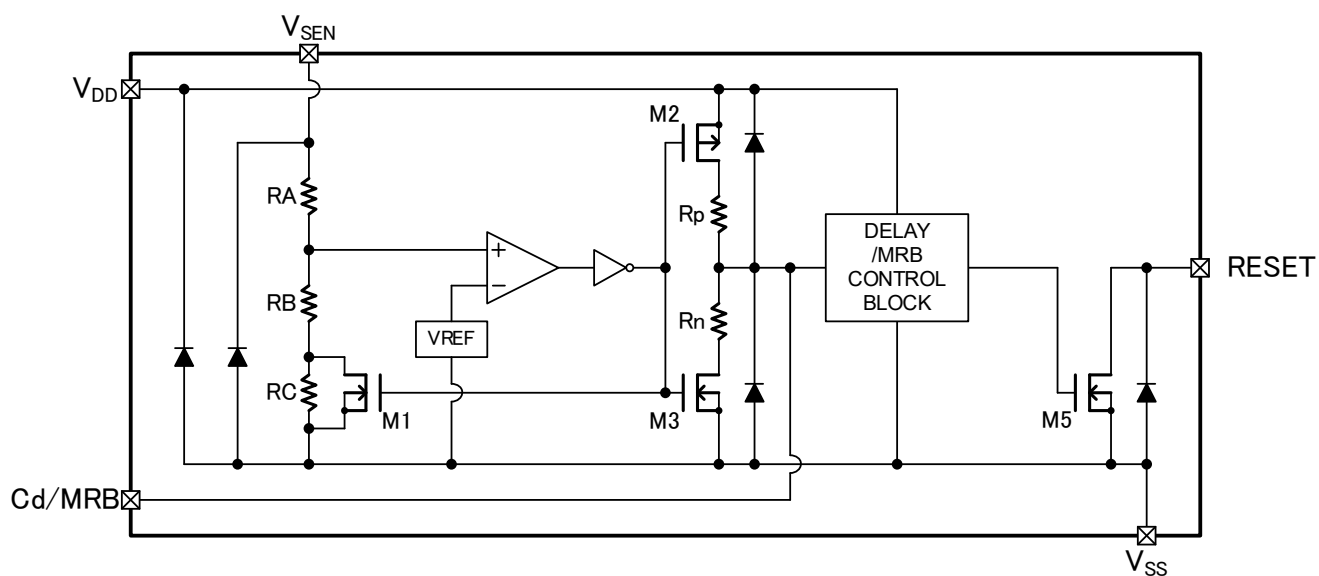
(2) Cタイプ : Active "L" / CMOS Output



\* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

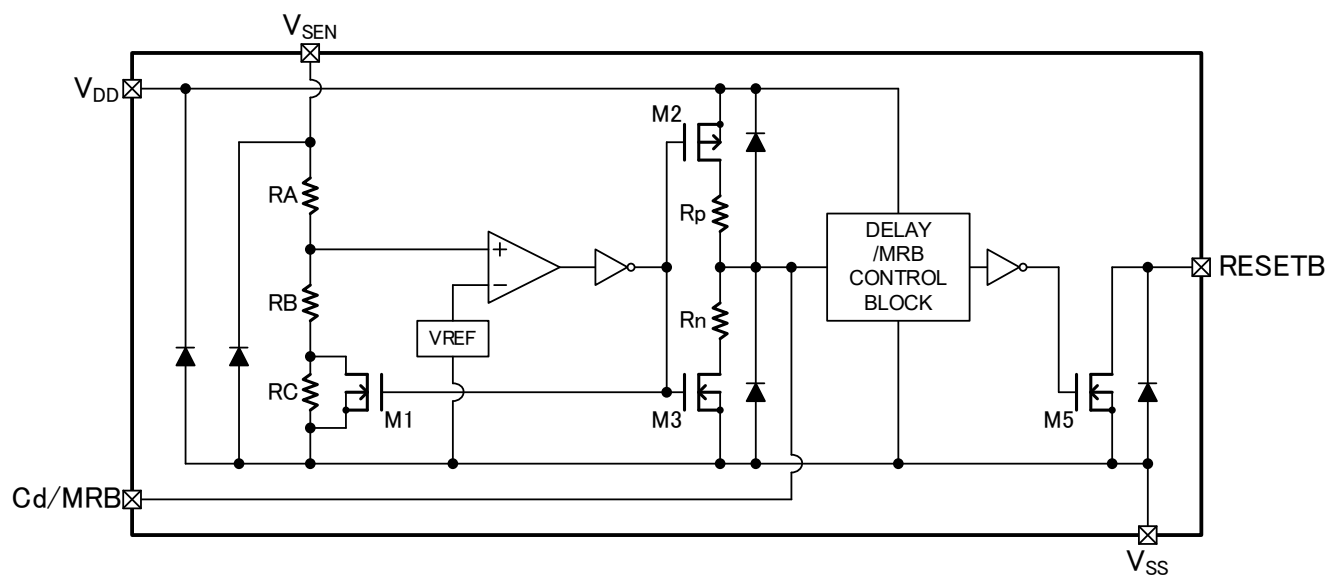
## ■ブロック図

(3) Mタイプ: Active "H" / Nch Open Drain



\* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

(4) Nタイプ: Active "L" / Nch Open Drain



\* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

## ■製品分類

### ●品番ルール

XC6138①②③④⑤⑥-⑦

DESIGNATOR	ITEM	SYMBOL	DESCRIPTION
①	Type	B	Refer to Selection Guide ①
		C	
		M	
		N	
②	Delay Type /Manual Reset	A ~ H	Refer to Selection Guide ②
③④	Detect Voltage /Release Voltage	01 ~	Refer to Selection Guide ③④
⑤⑥-⑦ <sup>(*)</sup>	Package (Order Unit)	6R-G	DFN1515-6A (5,000pcs/Reel)
		MR-G	SOT-25 (3,000pcs/Reel)

(\*) "-G"は、ハロゲン&アンチモンフリーかつ EU RoHS 対応製品です。

### ●セレクションガイド① : Type

Type ①	Output Configuration	Output Logic	Output Pin Name	Description
B	CMOS output	Active High	RESET	Output High level in detection state.
C		Active Low	RESETB	Output Low level in detection state.
M	Nch open drain	Active High	RESET	Output High level in detection state.
N		Active Low	RESETB	Output Low level in detection state.

### ●セレクションガイド② : Delay Type / Manual Reset

Delay Type ②	Delay Time Ratio (Release Delay:Detect Delay)	Release Delay time (Cd=0.01μF)	Detect Delay time (Cd=0.01μF)	Rp : Rn	Manual Reset function
A	1 : 0.000	10ms	$t_{DF0}^{(*)}$	1443kΩ : 0kΩ	Yes
B	1 : 0.100	10ms	1ms	1443kΩ : 144.3kΩ	
C	1 : 0.125	10ms	1.25ms	1443kΩ : 180.4kΩ	
D	1 : 0.250	10ms	2.5ms	1443kΩ : 360.8kΩ	
E	1 : 0.500	10ms	5ms	1443kΩ : 721.5kΩ	
F	1 : 1.000	10ms	10ms	1443kΩ : 1443kΩ	
H	0 : 1.000	$t_{DRO}^{(*)}$	10ms	0kΩ : 1443kΩ	Not available

(\*)  $t_{DF0}$  : 遅延容量 Cd 未接続時の検出遅延時間

$t_{DRO}$  : 遅延容量 Cd 未接続時の解除遅延時間

### ●セレクションガイド③④ : Detect Voltage / Release Voltage

検出電圧(Detect Voltage)、解除電圧(Release Voltage)は下表の範囲となります。

Detect Voltage	Release Voltage	Hysteresis
2.3V ~ 10.0V (0.1V Increments) 10.5V ~ 20.0V (0.5V Increments)	2.5V ~ 10.0V (0.1V Increments) 10.5V ~ 20.0V (0.5V Increments) 21.0V ~ 24.0V (1.0V Increments)	5% ~ 50% <sup>(*)</sup>

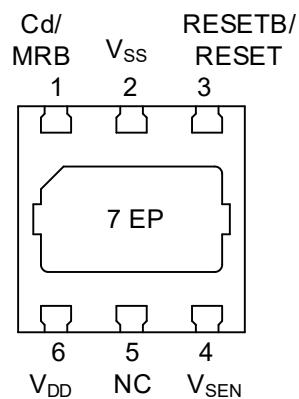
(\*) ヒステリシス幅の設定範囲内で検出/解除電圧を設定可能です。

●標準品番

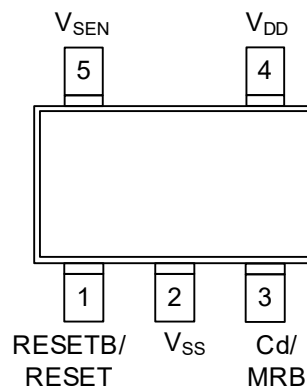
Supposed monitored line	Product Number	Output Configuration	Output Logic	Delay Time Ratio (Release Delay:Detect Delay)	Detect Voltage	Release Voltage	Hysteresis
USB / 5V	XC6138BH7D	CMOS output	Active High	0 : 1.000	5.5V	5.8V	5.5%
	XC6138NA37	Nch open drain	Active Low	1 : 0.000	4.0V	4.2V	5.0%
Li-ion 2cell	XC6138NA94	Nch open drain	Active Low	1 : 0.000	6.0V	6.3V	5.0%
Li-ion 3cell	XC6138NAM1				9.0V	9.5V	5.6%
Li-ion 4cell	XC6138NAP0				12.0V	13.0V	8.3%
Li-ion 5cell	XC6138NAPP				15.0V	16.0V	6.7%
					XC6138NANL	10.0V	10.5V
12V	XC6138NAN0	Nch open drain	Active Low	1 : 0.000	9.5V	10.0V	5.3%
	XC6138NARJ				7.5V	9.7V	29.3%
	XC6138NCN0				1 : 0.125	9.5V	10.0V
	XC6138NCRJ			7.5V		9.7V	29.3%
	XC6138NAL6			1 : 0.000		8.7V	9.2V
	XC6138CAN0			CMOS output	Active Low	1 : 0.000	9.5V
	XC6138CCN0	1 : 0.125					
	XC6138CARJ	1 : 0.000	7.5V			9.7V	29.3%
	XC6138CCRJ	1 : 0.125					
	15V	XC6138NAP0	Nch open drain	Active Low	1 : 0.000	12.0V	13.0V
XC6138NARZ		10.0V				13.0V	30.0%
20V	XC6138NAPZ	Nch open drain	Active Low	1 : 0.000	16.0V	17.0V	6.3%
	XC6138NAPN				14.5V	17.0V	17.2%
24V	XC6138NAQZ	Nch open drain	Active Low	1 : 0.000	20.0V	21.0V	5.0%
	XC6138NAQT				19.0V	20.0V	5.3%
	XC6138NASY				15.5V	20.0V	29.0%
	XC6138NAQE				17.5V	18.5V	5.7%

上記以外の品番に関しては、営業に問い合わせください。

## ■端子配列



DFN1515-6A  
(BOTTOM VIEW)



SOT-25  
(TOP VIEW)

## ■端子説明

PIN NUMBER		PIN NAME	FUNCTIONS
DFN1515-6A	SOT-25		
1	3	Cd/MRB	Adjustable Pin for Delay Time / Manual Reset (Delay Type : A ~ F)
			Adjustable Pin for Delay Time (Delay Type : H)
2	2	V <sub>SS</sub>	Ground
3	1	RESETB	Reset Output (Active "L")
		RESET	Reset Output (Active "H")
4	5	V <sub>SEN</sub>	Voltage Sense
5	-	NC	No Connection
6	4	V <sub>DD</sub>	Power Supply Input
7	-	EP	Exposed thermal pad. The Exposed pad is recommended to be connected to V <sub>SS</sub> (Pin2)

## ■論理表

Type	Output Configuration	Output Logic	Reset Output		
			Release State	Detection State or Manual RESET (V <sub>Cd/MRB</sub> ≤ V <sub>MR</sub> )	Undefined State (V <sub>DD</sub> < 2.2V)
C	CMOS output	Active Low	"H" (V <sub>DD</sub> )	"L" (V <sub>SS</sub> )	Undefined
B		Active High	"L" (V <sub>SS</sub> )	"H" (V <sub>DD</sub> )	Undefined
N	Nch open drain	Active Low	"H" (V <sub>pull</sub> : High impedance)	"L" (V <sub>SS</sub> : Low Impedance)	Undefined
M		Active High	"L" (V <sub>SS</sub> : Low Impedance)	"H" (V <sub>pull</sub> : High impedance)	Undefined

## ■絶対最大定格

PARAMETER		SYMBOL	RATINGS	UNITS
V <sub>DD</sub> Pin Voltage		V <sub>DD</sub>	-0.3 ~ 6.5	V
V <sub>SEN</sub> Pin Voltage		V <sub>SEN</sub>	-0.3 ~ 80.0	V
V <sub>SEN</sub> Pin Surge Voltage		V <sub>SURGE</sub>	90 <sup>(*)3</sup>	V
Cd/MRB Pin Voltage		V <sub>Cd/MRB</sub>	V <sub>SS</sub> - 0.3 ~ V <sub>DD</sub> + 0.3 or 6.5 <sup>(*)1</sup>	V
Cd/MRB Pin Current <sup>(*)4</sup>		I <sub>Cd/MRB</sub>	-20 ~ 20	mA
Output Current	CMOS	I <sub>RBOUT</sub> / I <sub>ROUT</sub>	-50 ~ 50	mA
	Nch open drain		50	mA
Power Dissipation (Ta=25°C)	DFN1515-6A	Pd	1000 (40mm x 40mm 標準基板) <sup>(*)2</sup>	mW
	SOT-25		950 (JESD51-7 基板) <sup>(*)2</sup>	
Junction Temperature		T <sub>j</sub>	-40 ~ 150	°C
Storage Temperature		T <sub>stg</sub>	-55 ~ 150	°C

各電圧定格は V<sub>SS</sub>を基準とする。

(\*)1 最大値は V<sub>DD</sub> + 0.3V と 6.5V のいずれか低い電圧になります。

(\*)2 基板実装時の許容損失の参考データとなります。実装条件はパッケージインフォメーションをご参照下さい。

(\*)3 印加時間 ≤ 400ms

(\*)4 Cd/MRB 端子に下記電圧を印加した場合、絶対最大定格を超える電流が流れます。

Cd/MRB 端子電流が絶対最大定格を超えないように制限抵抗等を接続して対策して下さい。

- Delay type A : Cd/MRB 端子 “H”電圧印加 @ 検出状態
- Delay type H : Cd/MRB 端子 “L”電圧印加 @ 解除状態

## ■推奨動作条件

PARAMETER		SYMBOL	MIN.	TYP.	MAX.	UNITS
V <sub>DD</sub> Pin Voltage		V <sub>DD</sub>	2.2	-	6.0	V
V <sub>SEN</sub> Input Voltage		V <sub>SEN</sub>	0.0	-	76.0	V
Cd/MRB Pin Voltage		V <sub>Cd/MRB</sub>	0.0		V <sub>DD</sub>	V
Nch open drain	Pull-up Voltage	V <sub>pull</sub>	0.0	-	6.0	V
	Pull-up Resistance	I <sub>ROUT</sub>	1	100	-	kΩ
Operating Ambient Temperature		T <sub>opr</sub>	-40	-	125	°C
Junction Temperature		T <sub>j</sub>	-40	-	125	°C
Cd Capacitor		Cd	OPEN	-	10000	nF

各電圧動作条件は V<sub>SS</sub>を基準とする。

## ■電気的特性

PARAMETER	SYMBOL	CONDITIONS	Ta=25°C			-40°C ≤ Ta ≤ 125°C <sup>(6)</sup>			UNITS	CIRCUIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
Operating Voltage	V <sub>DD</sub>		2.2	-	6.0	2.2	-	6.0	V	①
V <sub>SEN</sub> Input Voltage	V <sub>SEN</sub>		0.0	-	76.0	0.0	-	76.0	V	
Detect Voltage	V <sub>DF</sub>	V <sub>DF</sub> =2.3V ~ 20.0V	V <sub>DF(T)</sub> ×0.985	V <sub>DF(T)</sub>	V <sub>DF(T)</sub> ×1.015	V <sub>DF(T)</sub> ×0.97	V <sub>DF(T)</sub>	V <sub>DF(T)</sub> ×1.03	V	
Release Voltage	V <sub>DR</sub>	V <sub>DR</sub> =2.5V ~ 24.0V	V <sub>DR(T)</sub> ×0.985	V <sub>DR(T)</sub>	V <sub>DR(T)</sub> ×1.015	V <sub>DR(T)</sub> ×0.97	V <sub>DR(T)</sub>	V <sub>DR(T)</sub> ×1.03	V	
Hysteresis Width	HYS	HYS=(V <sub>DR</sub> -V <sub>DF</sub> )/V <sub>DF</sub> ×100	HYS <sub>(T)</sub> -2.3	HYS <sub>(T)</sub>	HYS <sub>(T)</sub> +2.3	HYS <sub>(T)</sub> -2.4	HYS <sub>(T)</sub>	HYS <sub>(T)</sub> +2.4	%	
Temperature Characteristics	$\frac{\Delta V_{DF}}{(\Delta T_{opr} \cdot V_{DF})}$	-40°C ≤ Topr ≤ 125°C	-	±50	-	-	±50	-	ppm/°C	
Supply Current 1	I <sub>DD1</sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×0.9, V <sub>DD</sub> =2.2V	-	0.48	1.27	-	0.48	1.78	μA	②
		V <sub>SEN</sub> =V <sub>DF</sub> ×0.9, V <sub>DD</sub> =6.0V	-	0.50	1.30	-	0.50	1.8		
Supply Current 2	I <sub>DD2</sub>	V <sub>SEN</sub> =V <sub>DR</sub> ×1.1, V <sub>DD</sub> =2.2V	-	0.54	1.40	-	0.54	2.00		
		V <sub>SEN</sub> =V <sub>DR</sub> ×1.1, V <sub>DD</sub> =6.0V	-	0.60	1.59	-	0.60	2.24		
SENSE Resistance	R <sub>SEN</sub>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =2.2V	12	80	-	7.3	80	-	MΩ	③
Detect Delay Resistance	R <sub>n</sub>	Delay Type : B V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =0V V <sub>Cd/MRB</sub> =6V	130	144.3	158	129	144.3	210	kΩ	④
		Delay Type : C V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =0V V <sub>Cd/MRB</sub> =6.0V	166	180.4	194	164	180.4	235		
		Delay Type : D V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =0V V <sub>Cd/MRB</sub> =6.0V	334	360.8	386	330	360.8	432		
		Delay Type : E V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =0V V <sub>Cd/MRB</sub> =6.0V	681	721.5	759	627	721.5	883		
		Delay Type : F, H V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =0V V <sub>Cd/MRB</sub> =6.0V	1361	1443	1522	1307	1443	1545		
Release Delay Resistance	R <sub>p</sub>	Delay Type : A,B,C,D,E,F V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =60.0V V <sub>Cd/MRB</sub> =0V	1361	1443	1522	1307	1443	1545		
Release Delay Time <sup>(4)</sup>	t <sub>DR0</sub>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =V <sub>DF</sub> ×0.9→V <sub>DR</sub> ×1.1	-	156.5	-	-	156.5	497	μs	⑤
Detect Delay Time <sup>(5)</sup>	t <sub>DF0</sub>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =V <sub>DR</sub> ×1.1→V <sub>DF</sub> ×0.9	-	74.4	-	-	74.4	230		

測定条件：Cd/MRB 端子の規定がない場合、オープンとする。

<sup>(1)</sup> V<sub>DF(T)</sub> : 設定検出電圧

<sup>(2)</sup> V<sub>DR(T)</sub> : 設定解除電圧

<sup>(3)</sup> HYS<sub>(T)</sub> : 設定ヒステリシス幅 (V<sub>DR(T)</sub>-V<sub>DF(T)</sub>)/V<sub>DF(T)</sub>×100

<sup>(4)</sup> RESETB 品 : V<sub>SEN</sub> 端子電圧が解除電圧(V<sub>DR</sub>)に達し、リセット出力端子が V<sub>DD</sub>×90%に達するまでの時間。

RESET 品 : V<sub>SEN</sub> 端子電圧が解除電圧(V<sub>DR</sub>)に達し、リセット出力端子が V<sub>DD</sub>×10%に達するまでの時間。

<sup>(5)</sup> RESETB 品 : V<sub>SEN</sub> 端子電圧が検出電圧(V<sub>DF</sub>)に達し、リセット出力端子が V<sub>DD</sub>×10%に達するまでの時間。

RESET 品 : V<sub>SEN</sub> 端子電圧が検出電圧(V<sub>DF</sub>)に達し、リセット出力端子が V<sub>DD</sub>×90%に達するまでの時間。

<sup>(6)</sup> -40°C ≤ Ta ≤ 125°Cの規格値は設計値。



■電気的特性

PARAMETER	SYMBOL	CONDITIONS	Ta=25°C			-40°C ≤ Ta ≤ 125°C <sup>(6)</sup>			UNITS	CIRCUIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
RESETB Output Current	I <sub>RBOU<sub>T</sub>N</sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×0.9, Nch. V <sub>RESETB</sub> =0.05V V <sub>DD</sub> =2.2V	2.07	3.57	-	1.1	3.57	-	mA	⑥
	I <sub>RBOU<sub>T</sub>P</sub>	V <sub>SEN</sub> =V <sub>DR</sub> ×1.1, Pch. V <sub>RESETB</sub> =V <sub>DD</sub> -0.05V V <sub>DD</sub> =2.2V	-	-0.49	-0.36	-	-0.49	-0.3		
RESET Output Current	I <sub>ROUT<sub>N</sub></sub>	V <sub>SEN</sub> =V <sub>DR</sub> ×1.1, Nch. V <sub>RESETB</sub> =0.05V V <sub>DD</sub> =2.2V	2.07	3.57	-	1.1	3.57	-		
	I <sub>ROUT<sub>P</sub></sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×0.9, Pch. V <sub>RESETB</sub> =V <sub>DD</sub> -0.05V V <sub>DD</sub> =2.2V	-	-0.49	-0.36	-	-0.49	-0.3		
RESETB Output Leakage Current	I <sub>LEAK<sub>N</sub></sub> <sup>(7)</sup>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =60.0V Nch. V <sub>RESETB</sub> =6.0V	-	0.01	0.1	-	0.01	0.3	μA	⑥
	I <sub>LEAK<sub>P</sub></sub>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =0V Pch. V <sub>RESETB</sub> =0V	-	-0.01	-	-	-0.01	-		
RESET Output Leakage Current	I <sub>LEAK<sub>N</sub></sub> <sup>(7)</sup>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =0V Nch. V <sub>RESET</sub> =6.0V	-	0.01	0.1	-	0.01	0.3		
	I <sub>LEAK<sub>P</sub></sub>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =60.0V Pch. V <sub>RESET</sub> =0V	-	-0.01	-	-	-0.01	-		
Cd/MRB Pin Source Current (Delay Type : A)	I <sub>CdSource</sub>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =0V Nch. V <sub>Cd/MRB</sub> =0.3V	0.97	1.40	-	0.89	1.40	-	mA	④
Cd/MRB Pin Sink Current (Delay Type : H)	I <sub>CdSink</sub>	V <sub>DD</sub> =6.0V, V <sub>SEN</sub> =60V Pch. V <sub>Cd/MRB</sub> =V <sub>DD</sub> -0.3V	-	-1.00	-0.78	-	-1.00	-0.76		
Cd Threshold Voltage (Release)	V <sub>TCd1</sub>	V <sub>DD</sub> :2.2V ~ 6.0V, V <sub>SEN</sub> =0V→V <sub>DR</sub> ×1.1	V <sub>DD</sub> × 0.475	V <sub>DD</sub> × 0.50	V <sub>DD</sub> × 0.525	V <sub>DD</sub> × 0.475	V <sub>DD</sub> × 0.50	V <sub>DD</sub> × 0.525	V	⑦
Cd Threshold Voltage (Detect)	V <sub>TCd2</sub>	V <sub>DD</sub> :2.2V ~ 6.0V, V <sub>SEN</sub> =V <sub>DR</sub> ×1.1→0V								
MRB Threshold Voltage	V <sub>MR</sub> <sup>(8)</sup>	V <sub>DD</sub> :2.2V ~ 6.0V, V <sub>SEN</sub> =V <sub>DR</sub> ×1.1	V <sub>DD</sub> × 0.475	V <sub>DD</sub> × 0.50	V <sub>DD</sub> × 0.525	V <sub>DD</sub> × 0.475	V <sub>DD</sub> × 0.50	V <sub>DD</sub> × 0.525	V	
MRB Minimum Pulse Width (B,C,N Type)	t <sub>MRIN</sub> <sup>(8)</sup>	V <sub>DD</sub> :2.2V ~ 6.0V V <sub>SEN</sub> =V <sub>DR</sub> ×1.1, Apply pulse from V <sub>DD</sub> to 0V to the Cd/MRB pin.	9	-	-	10	-	-	μs	⑧
MRB Minimum Pulse Width (M Type)			30	-	-	30	-	-		

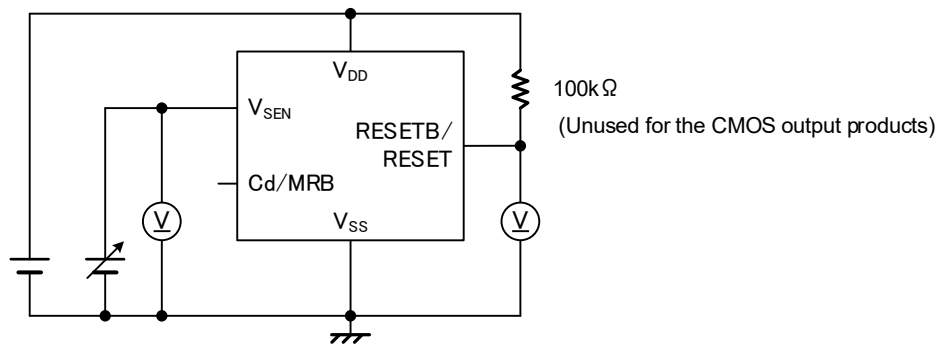
測定条件：Cd/MRB 端子がない場合、オープンとする。

<sup>(7)</sup> MAX 値は M,N タイプ(Nch オープンドレイン出力)が対象。

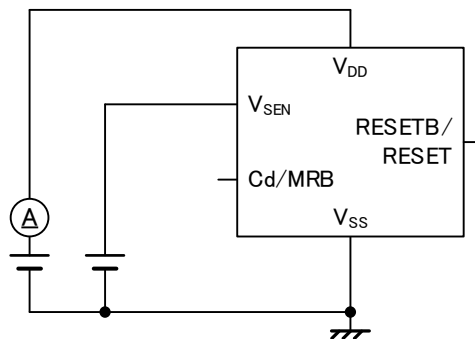
<sup>(8)</sup> Delay Type H (Rp:Rn=0kΩ : 1443kΩ) はマニュアルリセット機能 利用不可

## ■測定回路図

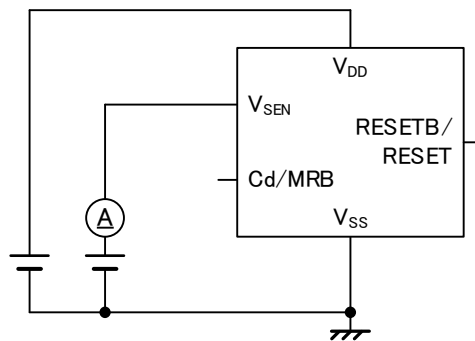
CIRCUIT①



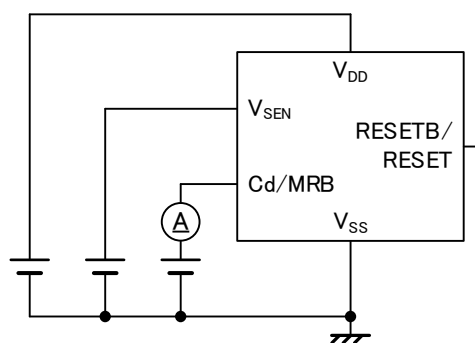
CIRCUIT②



CIRCUIT③

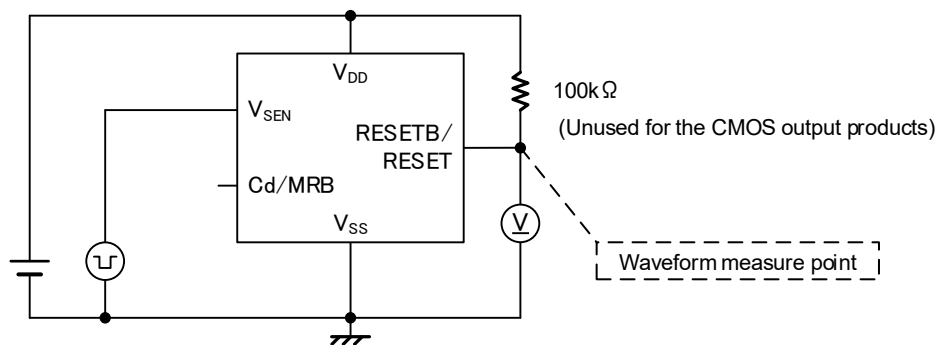


CIRCUIT④

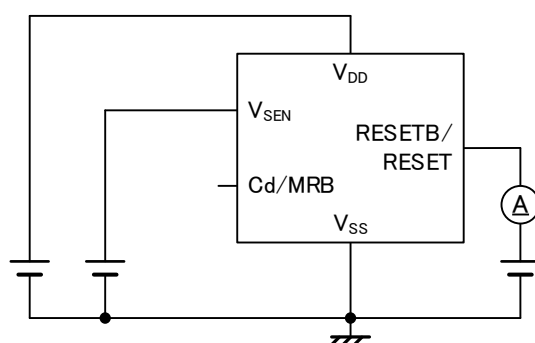


■測定回路図

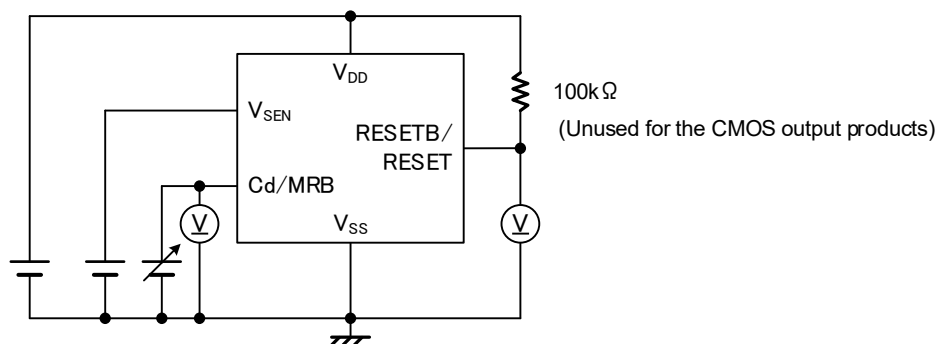
CIRCUIT⑤



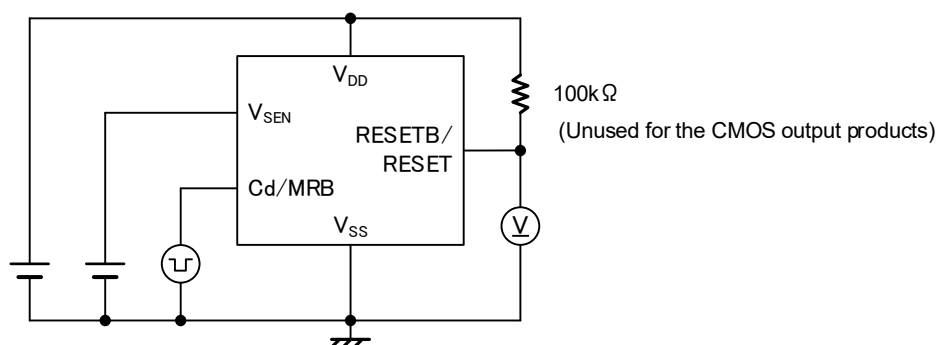
CIRCUIT⑥



CIRCUIT⑦



CIRCUIT⑧



## ■動作説明

<基本動作 : Active Low 品(Type: C,N)>

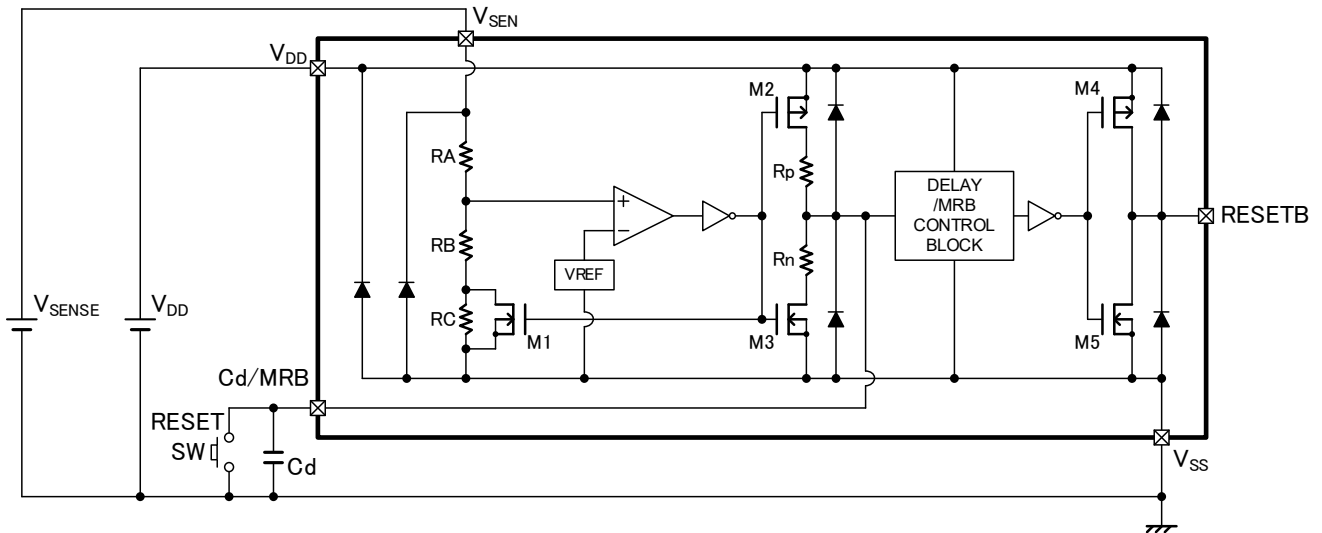


図 1. 代表回路例 : CMOS Output / Active Low 品

Active Low 品の動作を説明します

### ① 解除状態

$V_{SEN}$  端子電圧が  $V_{DF}$  より大きい状態では、解除状態となり RESETB 端子電圧は“H”出力となります。この状態では、遅延容量 Cd は  $V_{DD}$  まで電圧が上昇します。

### ② 解除状態 → 検出状態

$V_{SEN}$  端子電圧が低下し、 $V_{DF}$  以下になると検出状態になります。

検出状態になると、Nch FET M1 と M3 を ON し、検出遅延抵抗  $R_n$  を介して遅延容量 Cd を放電します。

その後、Cd/MRB 端子電圧が  $V_{TCd2}$  (TYP.  $V_{DD} \times 0.50$ ) まで低下すると、RESETB 端子電圧は“L”出力となります。Cd/MRB- $V_{SS}$  間の FET が ON することにより、Cd/MRB 端子電圧を高速に放電します。

### ③ 検出状態 → 解除状態

$V_{SEN}$  端子電圧が上昇し、 $V_{DR}$  以上になると解除状態になります。

解除状態になると、Nch FET M1 と M3 を OFF かつ M2 を ON し、解除遅延抵抗  $R_p$  を介して遅延容量 Cd を充電します。

その後、Cd/MRB 端子電圧が  $V_{TCd1}$  (TYP.  $V_{DD} \times 0.50$ ) まで上昇すると、RESETB 端子電圧は“H”出力となります。Cd/MRB- $V_{DD}$  間の FET が ON することにより、Cd/MRB 端子電圧を高速に充電します。

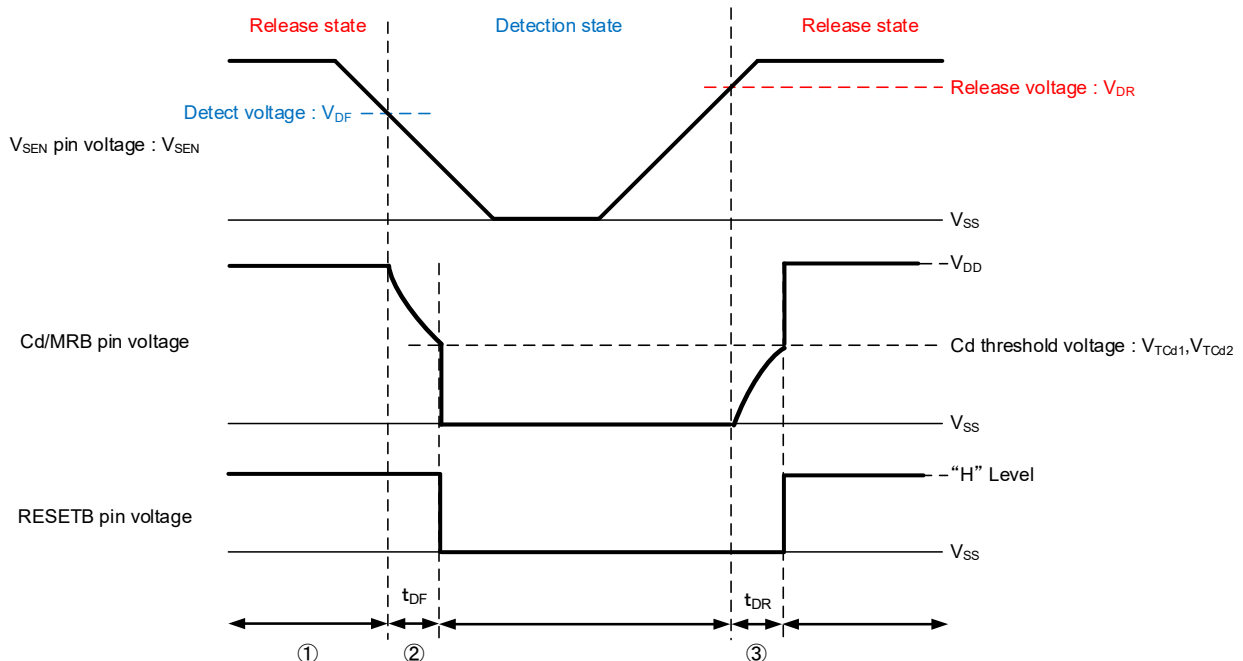


図 2. タイミングチャート (Active Low)

## ■動作説明

<基本動作 : Active High品(Type: B,M)>

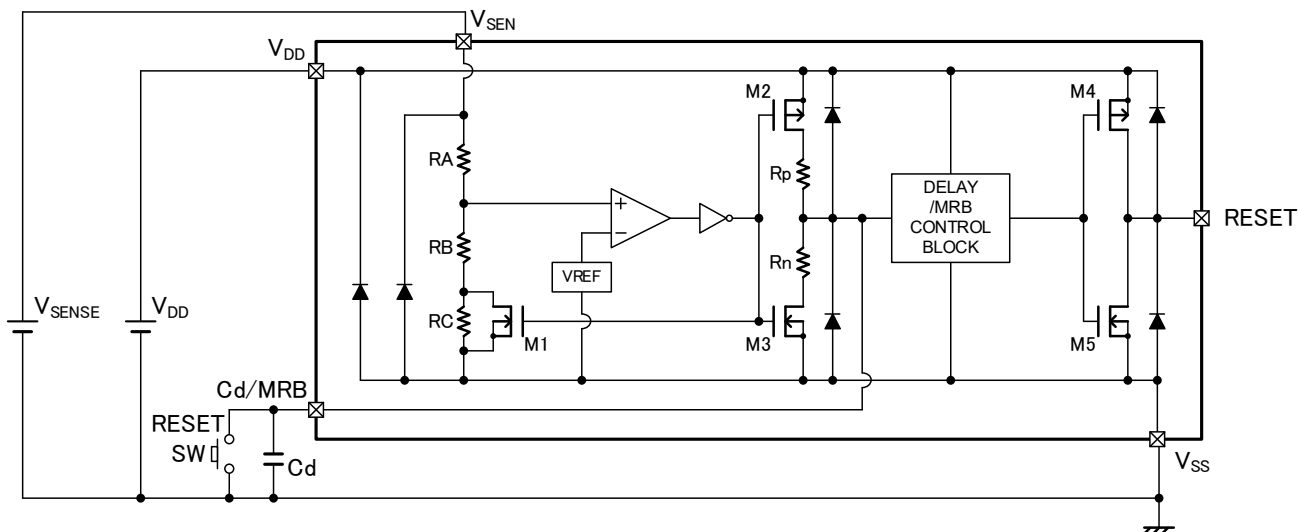


図 3. 代表回路例 : CMOS Output / Active High 品

Active High 品の動作を説明します

### ① 解除状態

$V_{SEN}$  端子電圧が  $V_{DF}$  より大きい状態では、解除状態となり RESET 端子電圧は“L”出力となります。この状態では、遅延容量  $C_d$  は  $V_{DD}$  まで電圧が上昇します。

### ② 解除状態 → 検出状態

$V_{SEN}$  端子電圧が低下し、 $V_{DF}$  以下になると検出状態になります。

検出状態になると、Nch FET M1 と M3 を ON し、検出遅延抵抗  $R_n$  を介して遅延容量  $C_d$  を放電します。

その後、 $C_d/MRB$  端子電圧が  $V_{TCd2}$  (TYP.  $V_{DD} \times 0.50$ ) まで低下すると、RESET 端子電圧は“H”出力となります。 $C_d/MRB-V_{SS}$  間の FET が ON することにより、 $C_d/MRB$  端子電圧を高速に放電します。

### ③ 検出状態 → 解除状態

$V_{SEN}$  端子電圧が上昇し、 $V_{DR}$  以上になると解除状態になります。

解除状態になると、Nch FET M1 と M3 を OFF かつ M2 を ON し、解除遅延抵抗  $R_p$  を介して遅延容量  $C_d$  を充電します。

その後、 $C_d/MRB$  端子電圧が  $V_{TCd1}$  (TYP.  $V_{DD} \times 0.50$ ) まで上昇すると、RESET 端子電圧は“L”出力となります。 $C_d/MRB-V_{DD}$  間の FET が ON することにより、 $C_d/MRB$  端子電圧を高速に充電します。

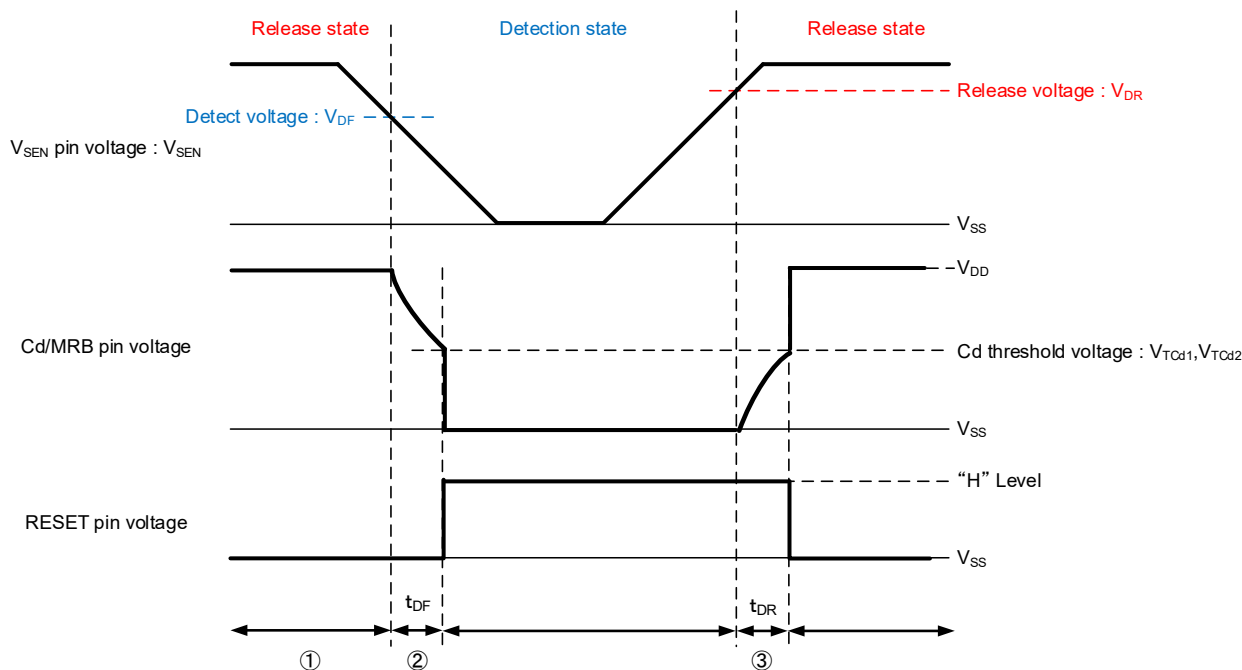


図 4. タイミングチャート (Active High)

## ■動作説明

<解除遅延時間 / 検出遅延時間>

解除遅延時間と検出遅延時間は遅延抵抗(Rp と Rn)及び遅延容量 Cd で決まります。  
遅延抵抗(Rp、Rn)の比率は Delay Type により異なり、下記組合せから選択可能です。

Delay Type	Delay Time Ratio (Release Delay:Detect Delay)	Release Delay time (Cd=0.01μF)	Detect Delay time (Cd=0.01μF)	Rp	Rn
A	1 : 0.000	10ms	t <sub>DF0</sub> <sup>(*)</sup>	1443kΩ	0kΩ
B	1 : 0.100	10ms	1ms	1443kΩ	144.3kΩ
C	1 : 0.125	10ms	1.25ms	1443kΩ	180.4kΩ
D	1 : 0.250	10ms	2.5ms	1443kΩ	360.8kΩ
E	1 : 0.500	10ms	5ms	1443kΩ	721.5kΩ
F	1 : 1.000	10ms	10ms	1443kΩ	1443kΩ
H	0 : 1.000	t <sub>DR0</sub> <sup>(*)</sup>	10ms	0kΩ	1443kΩ

(\*) t<sub>DF0</sub> : 遅延容量 Cd 未接続時の検出遅延時間

t<sub>DR0</sub> : 遅延容量 Cd 未接続時の解除遅延時間

解除遅延時間(t<sub>DR</sub>)および検出遅延時間(t<sub>DF</sub>)は、式(1-1),(2-1)により算出されます。

$$t_{DR} = R_p \times C_d \times \{-\ln(1-V_{TCd1}/V_{DD})\} + t_{DR0} \quad (1-1)$$

$$t_{DF} = R_n \times C_d \times \{-\ln(V_{TCd2}/V_{DD})\} + t_{DF0} \quad (2-1)$$

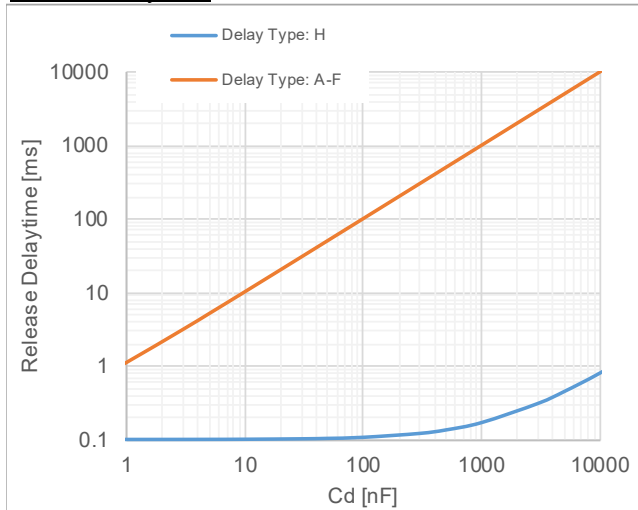
\* ln は自然対数

Cd 閾値電圧 V<sub>TCd1</sub> および V<sub>TCd2</sub> は、V<sub>DD</sub> × 0.50(TYP.)であるため、式(1-1),(2-1)を下式で近似することが可能です。

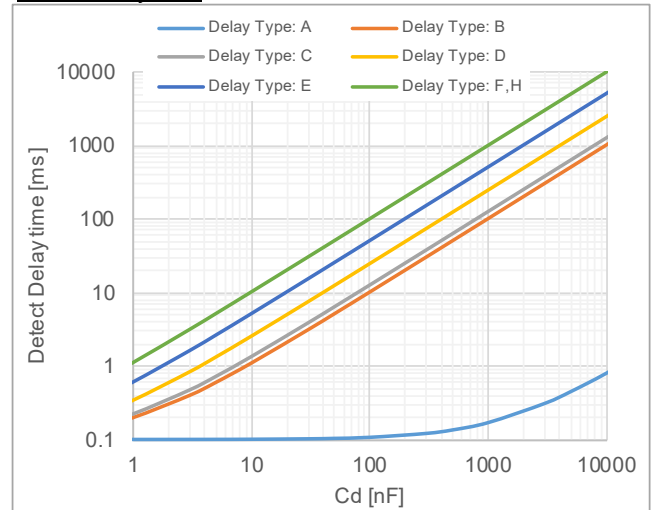
$$t_{DR} = R_p \times C_d \times 0.693 + t_{DR0} \quad (1-2)$$

$$t_{DF} = R_n \times C_d \times 0.693 + t_{DF0} \quad (2-2)$$

Release Delay time



Detect Delay time



## ■動作説明

<マニュアルリセット機能>

Delay Type : A-F

マニュアルリセット機能は解除状態から強制的に検出状態にする機能です。

Cd/MRB 端子に、物理 SW や FET 等を接続することによりマニュアルリセット機能を使うことができます。

解除状態で Cd/MRB 端子電圧が MRB 閾値電圧を下回ると、マニュアルリセット機能が動作し、解除状態から検出状態になります。マニュアルリセット機能で検出状態になると、検出遅延時間は付きません。

Delay Type : H

Delay Type H はバイアス条件および SW 等によっては、マニュアルリセット機能が動作しないことがあります。そのため Delay Type H ではマニュアルリセット機能の使用を推奨していません。

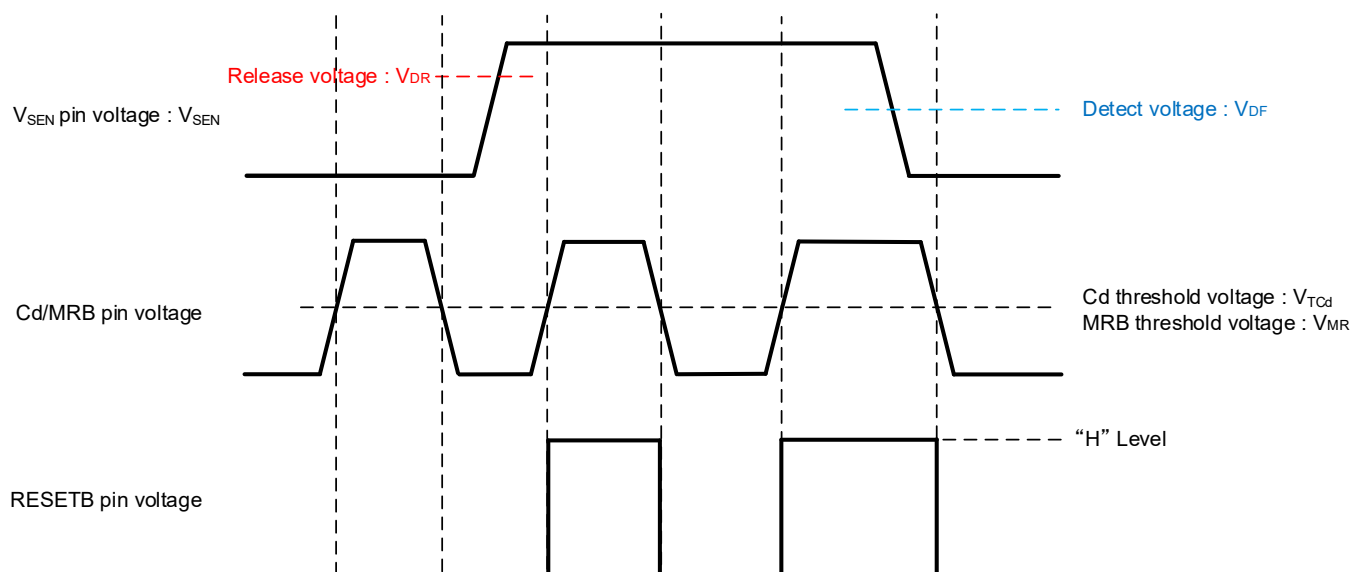


図 5. マニュアルリセット動作 (Active Low)

## ■動作説明

<プルアップ抵抗の選定方法 (Nch オープンドレイン: N,M Type)>

Nch オープンドレイン出力の場合、RESET/RESETB 端子に接続するプルアップ抵抗により出力電圧に  $V_{SS}$  および  $V_{DD}$  電圧とのずれが生じます。

出力電圧の  $V_{SS}$  および  $V_{DD}$  電圧とのずれを小さくするため、10k $\Omega$  から数 100k $\Omega$  程度のプルアップ抵抗を接続して下さい。

プルアップ抵抗の抵抗値が小さい場合は、 $V_{SS}$  とのずれが大きくなり、MCU の”L”電圧を満たすことができなくなります。同様にプルアップ抵抗の抵抗値が大きい場合は、 $V_{DD}$  とのずれが大きくなり”H”電圧を満たすことができなくなります。実仕様において、後段 IC の論理閾値を満たせるようなプルアップ抵抗を選定して下さい。

出力”L”電圧の最大値および出力”H”電圧の最小値の計算例を下記に示します。

### 【出力”L”電圧 最大値】

$$V_{\text{RESETB}} = V_{\text{pull}} / (1 + R_{\text{pull}} / R_{\text{ON\_MAX}})$$

$V_{\text{pull}}$  : プルアップ先の電圧

$R_{\text{ON\_MAX}}$  : Nch ドライバーM5 の ON 抵抗 MAX.

計算例)  $V_{DD}=2.2V$ ,  $V_{pull}=1.8V$ ,  $R_{pull}=10k\Omega$  時

1.  $R_{\text{ON\_MAX}}$  算出

電気的特性より、 $V_{\text{RESETB}}/I_{\text{RBOU\_MIN}}$  から算出

$$R_{\text{ON\_MAX}} = 0.3V / 2.5mA \doteq 120\Omega \text{ (MAX.)}$$

2.  $V_{\text{RESETB}}$  算出

$R_{\text{ON\_MAX}}$  を用いて、出力”L”電圧 最大値を算出

$$V_{\text{RESETB}} = V_{\text{pull}} / (1 + R_{\text{pull}} / R_{\text{ON\_MAX}}) = 1.8V / (1 + 10k\Omega / 120\Omega) \doteq 21mV$$

### 【出力”H”電圧 最小値】

$$V_{\text{RESETB}} = V_{\text{pull}} - R_{\text{pull}} \times I_{\text{LEAKN\_MAX}}$$

$V_{\text{pull}}$  : プルアップ先の電圧

$I_{\text{LEAKN\_MAX}}$  : Nch ドライバーM5 のリーク電流 MAX.

計算例)  $V_{pull}=6.0V$ ,  $R_{pull}=100k\Omega$  時 (\*2)

1.  $I_{\text{LEAKN\_MAX}}$

電気的特性より、 $I_{\text{LEAKN\_MAX}} = 0.1\mu A$  (MAX.)

2.  $V_{\text{RESETB}}$  算出

$I_{\text{LEAKN\_MAX}}$  を用いて、出力”H”電圧 最小値を算出

$$V_{\text{RESETB}} = V_{\text{pull}} - R_{\text{pull}} \times I_{\text{LEAKN\_MAX}} = 6.0V - 100k\Omega \times 0.1\mu A = 5.99V$$

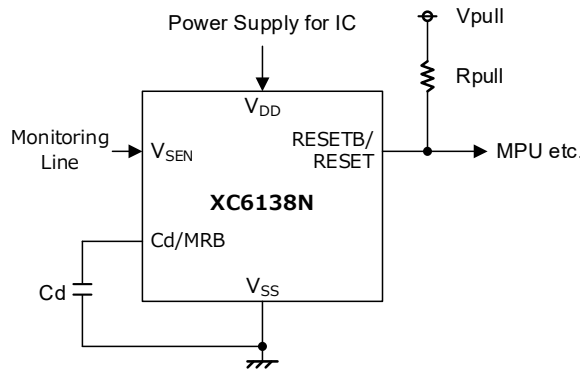
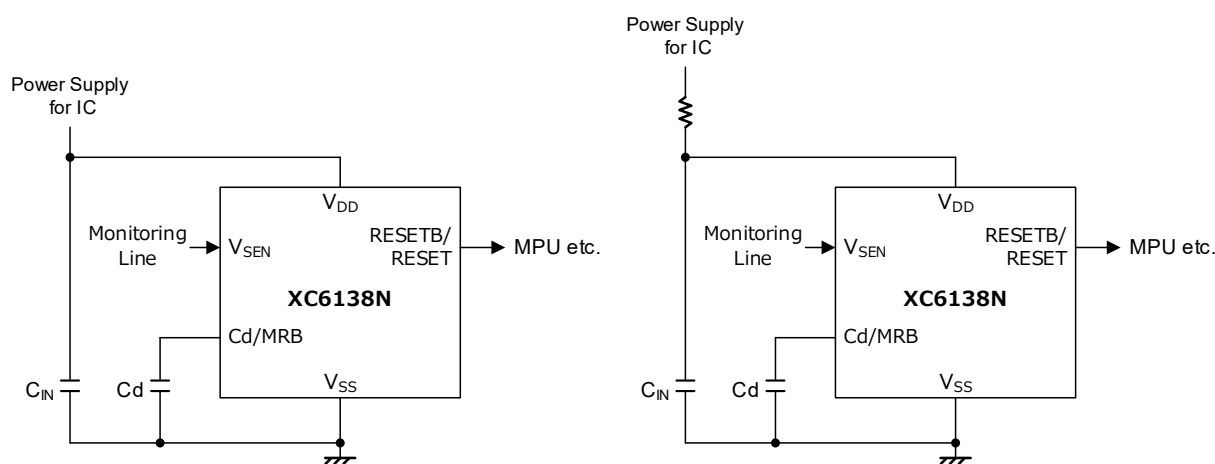


図 6. プルアップ抵抗接続例 (Nch Open Drain)



## ■使用上の注意

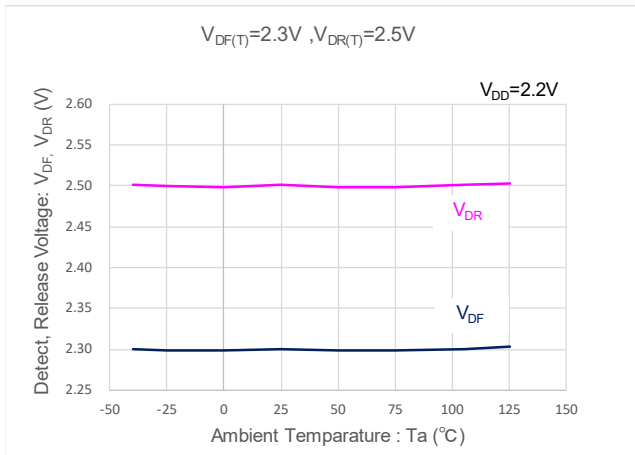
- 1) 一時的、過渡的な電圧降下および電圧上昇等の現象について、絶対最大定格を超える場合には、劣化または破壊する可能性があります。また推奨動作範囲外の条件で使用した場合は、IC が正常動作を行わない場合や、劣化を引き起こす可能性があります。
- 2)  $V_{DD}$  端子電圧が動作電圧より低い条件では、 $V_{SEN}$  端子電圧によらず RESET/RESETB 端子電圧が不定となります。
- 3) 周辺部品、 $V_{DD}$  端子電圧の傾き、外部からのノイズ等により、下記(a) (b) に示す現象が発生する可能性があります。これらの現象が発生する場合は、必要に応じて  $V_{DD}$ - $V_{SS}$  間にコンデンサ( $C_{IN}$ )を挿入する等の対策を行ってください。(下図参照)
  - (a) 電源 -  $V_{DD}$  端子間に抵抗( $R_{IN}$ )を入れた場合、検出時および解除時に発生する貫通電流と抵抗( $R_{IN}$ )により  $V_{DD}$  端子電圧が降下します。それに加え CMOS 出力品では、出力電流により  $V_{DD}$  端子電圧の降下が大きくなります。この  $V_{DD}$  端子電圧の一時的な降下により、出力の発振および誤動作の原因となります。
  - (b) 外部からの電源ノイズにより、IC が誤動作する可能性があります。



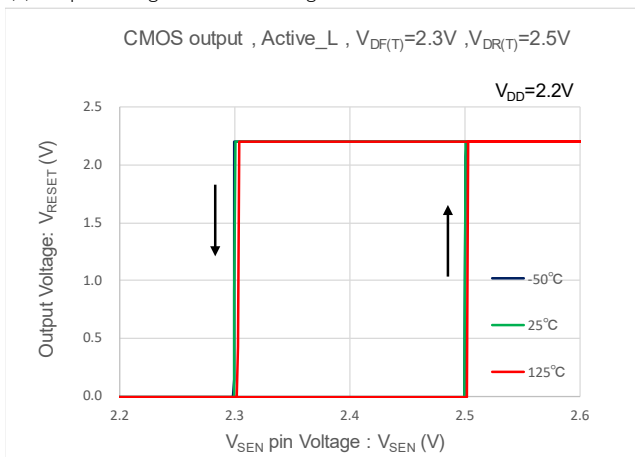
- 4)  $V_{SEN}$  端子電圧に検出電圧以下の電圧が印加された状態で  $V_{DD}$  を立ち上げた場合、 $V_{DD}$  の立ち上がり直後に出力が不定となる場合があります。  
遅延容量  $C_d$  を接続し、解除遅延時間の設定値を長くすることで  $V_{DD}$  立ち上がり直後の出力不定の発生を抑制することが可能です。対策する場合は、解除遅延時間が数 ms 以上になるように遅延容量  $C_d$  の調整を行ってください。  
また遅延容量  $C_d$  での対策ができない場合は、 $V_{DD}$  立ち上がり直後の出力不定で問題が発生しないように、システム設計/ソフト設計を行ってください。
- 5) 当社では製品の改善、信頼性の向上に努めております。しかしながら、万が一のためにフェールセーフとなる設計およびエージング処理など、装置やシステム上で十分な安全設計をお願いします。

## ■ 特性例

(1) Detect, Release Voltage vs Ambient Temperature

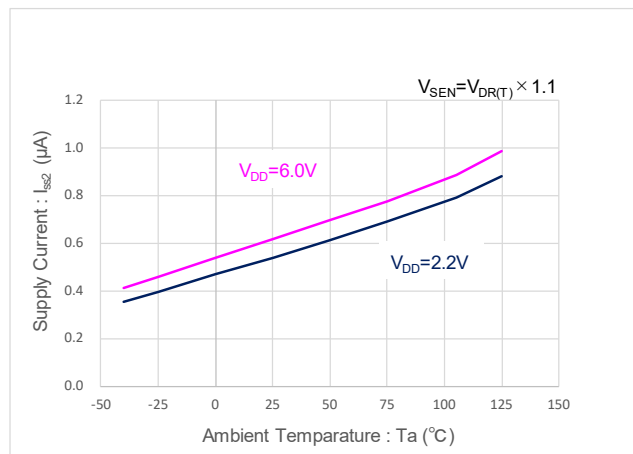
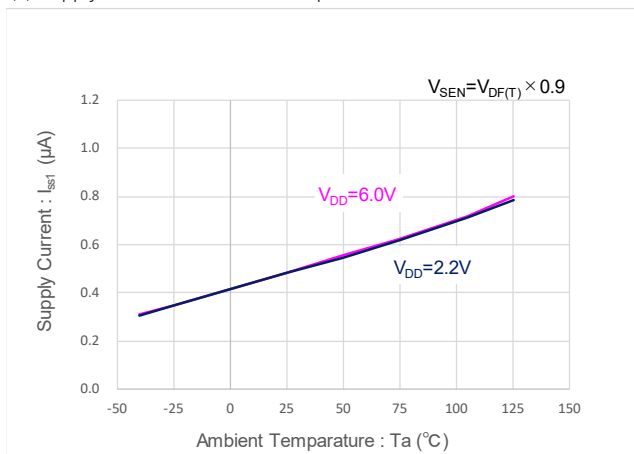


(2) Output Voltage vs SENSE Voltage

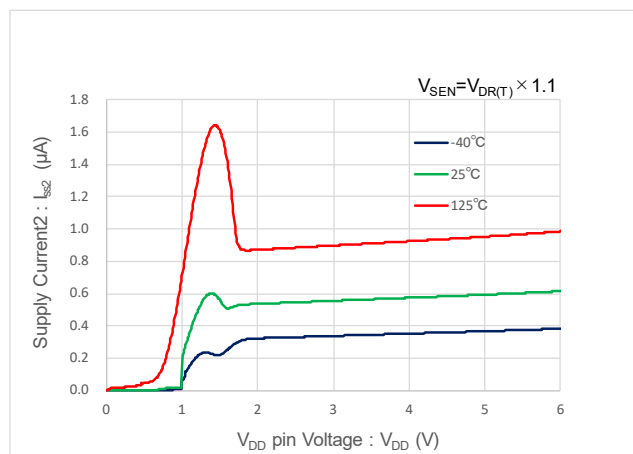
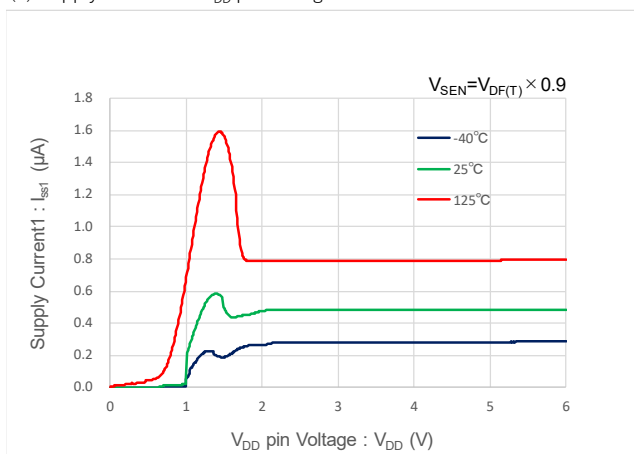


## ■ 特性例

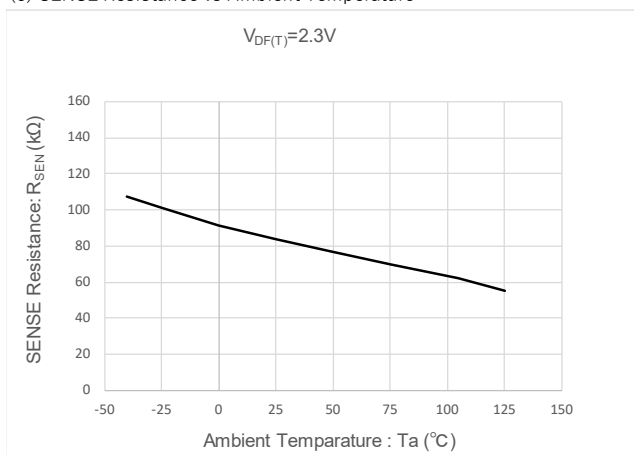
(3) Supply Current vs. Ambient Temperature



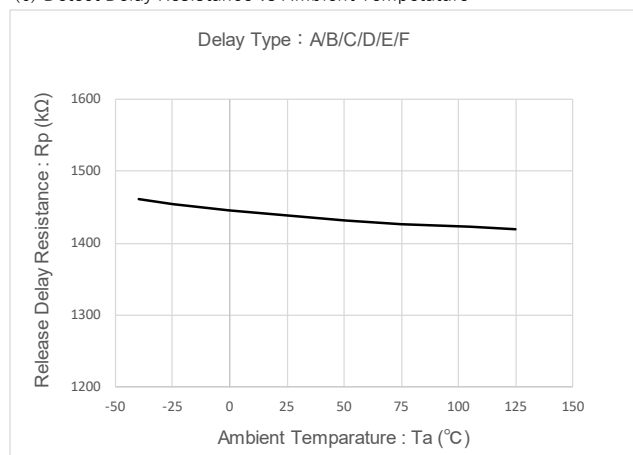
(4) Supply Current vs.  $V_{DD}$  pin Voltage



(5) SENSE Resistance vs. Ambient Temperature

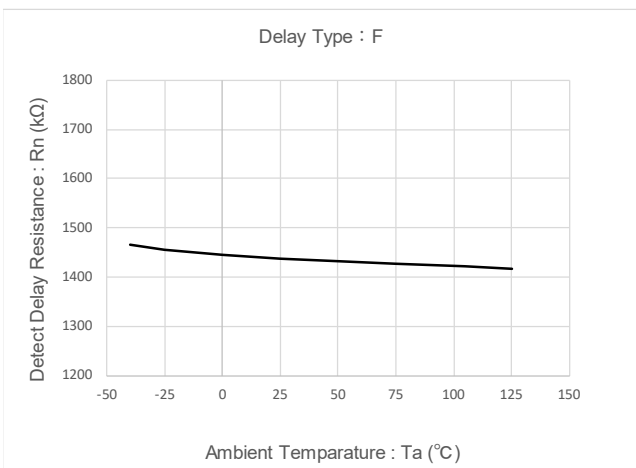
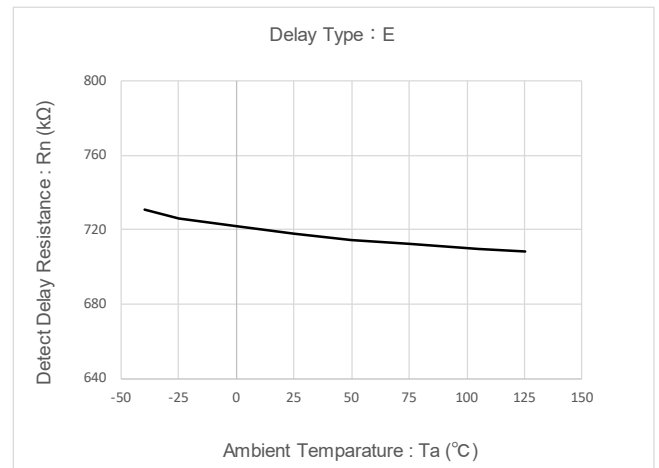
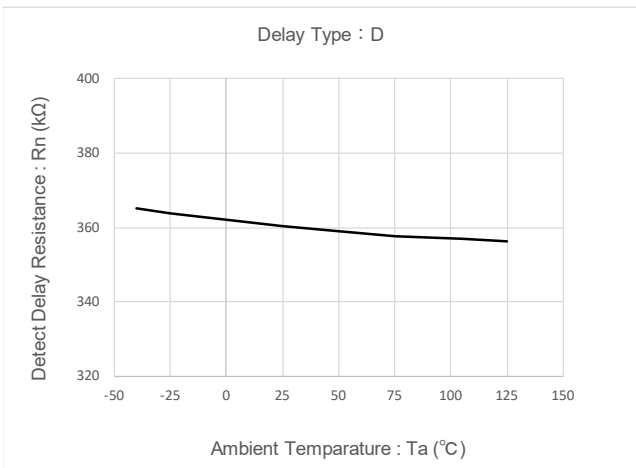
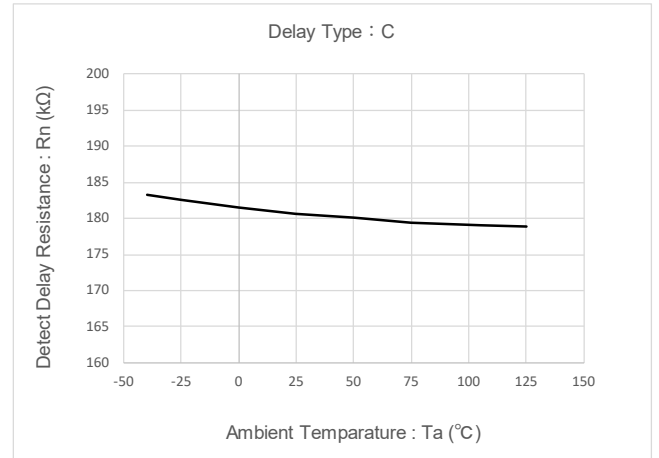
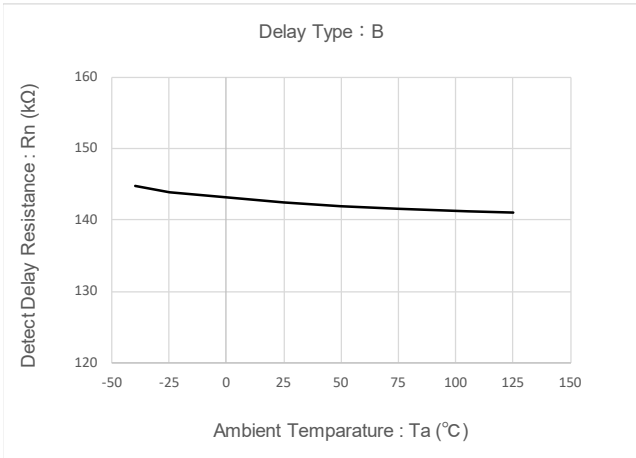


(6) Detect Delay Resistance vs. Ambient Temperature



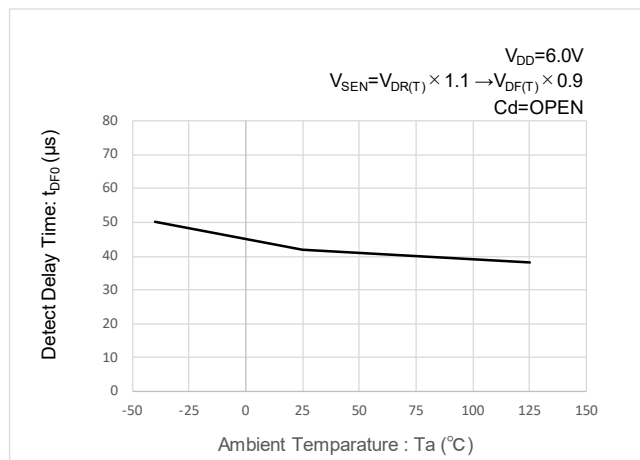
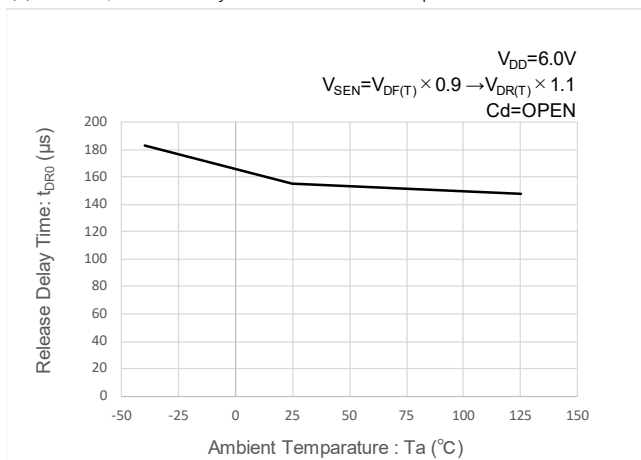
## ■ 特性例

(7) Release Delay Resistance vs Ambient Temperature

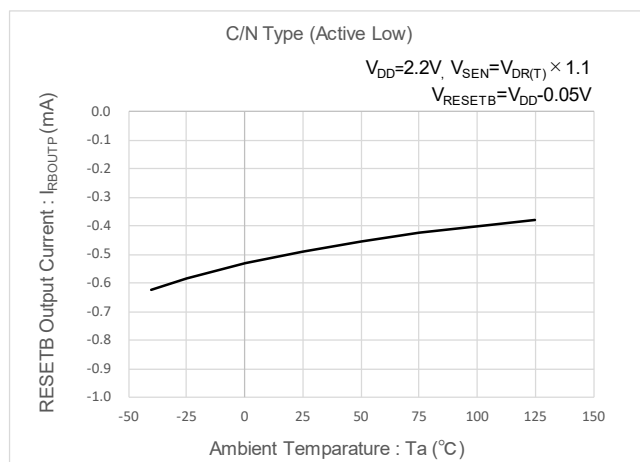
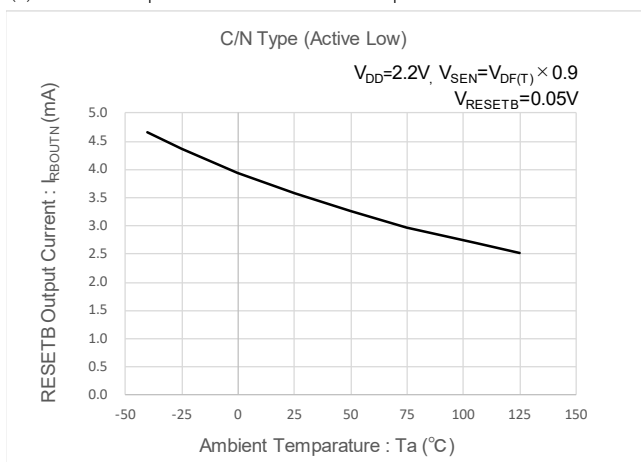


■ 特性例

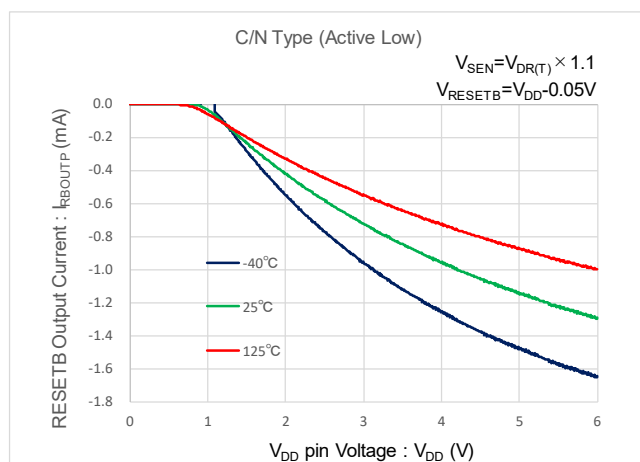
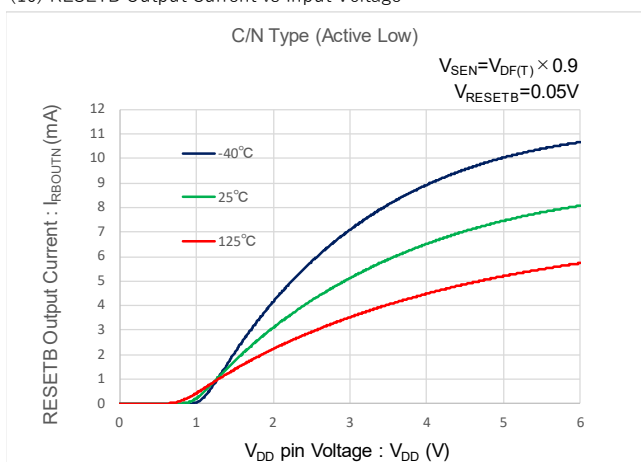
(8) Release/Detect Delay Time vs Ambient Temperature



(9) RESETB Output Current vs Ambient Temperature

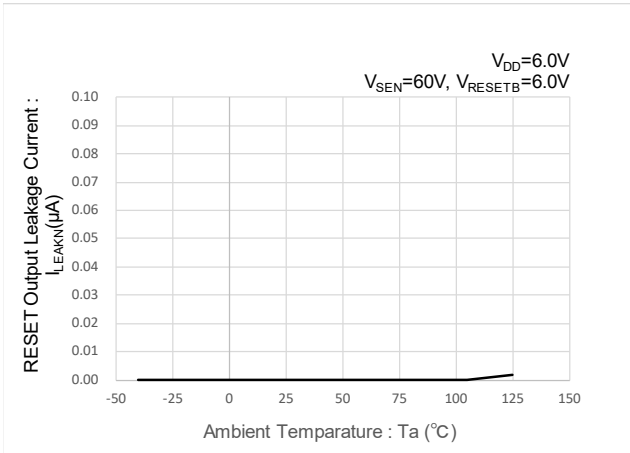


(10) RESETB Output Current vs Input Voltage

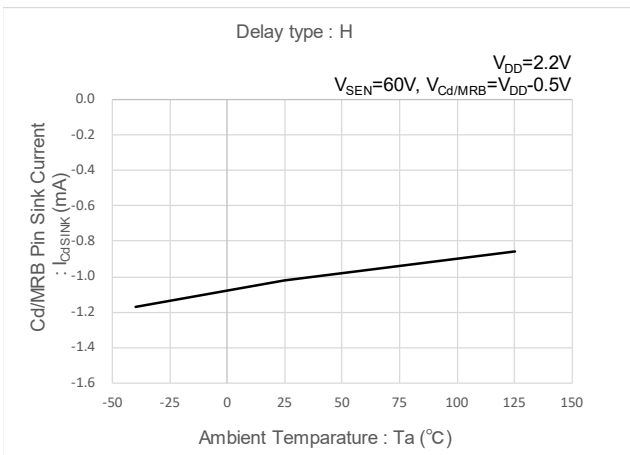


## ■ 特性例

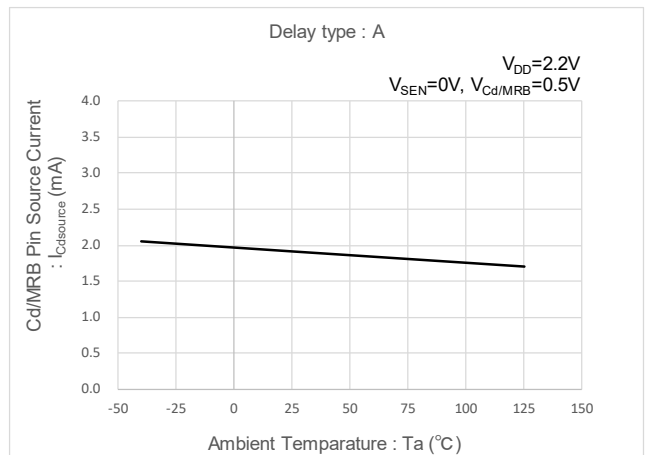
(11) RESET Output Leakage Current vs Ambient Temperature



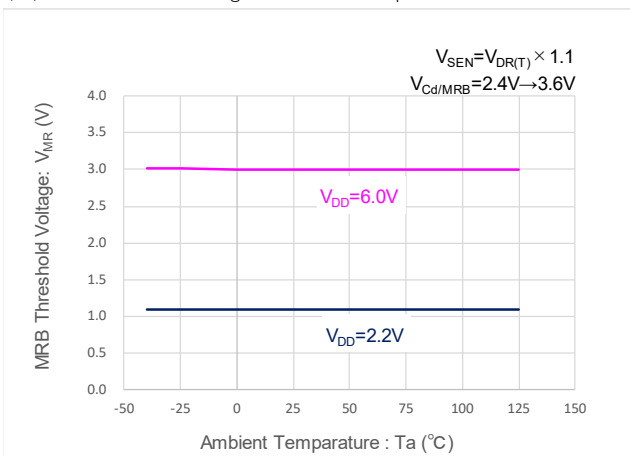
(12) Cd/MRB Pin Sink Current vs Ambient Temperature



(13) Cd/MRB Pin Source Current vs Ambient Temperature



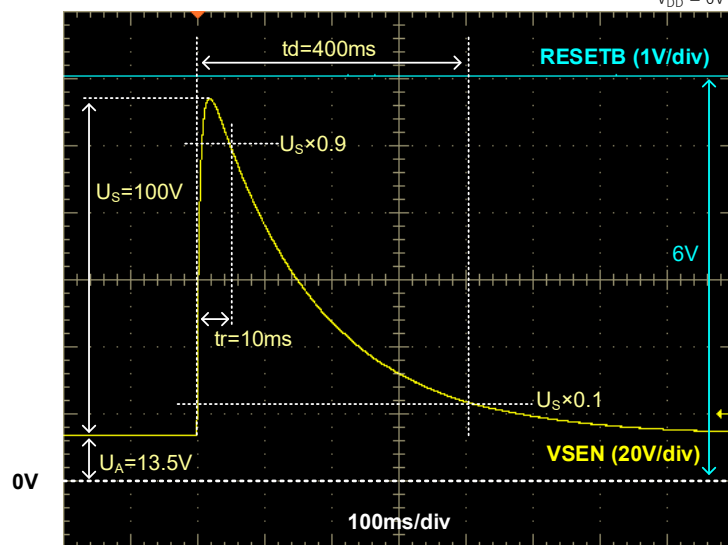
(14) MRB Threshold Voltage vs Ambient Temperature



## ■ 特性例

(15) Load Dump

$V_{DF(T)}=6.0V$  /  $V_{DR(T)}=7.2V$  / Active Low  
 $V_{DD} = 6V$



## ■ パッケージインフォメーション

最新のパッケージ情報については [www.torex.co.jp/technical-support/packages/](http://www.torex.co.jp/technical-support/packages/) をご覧ください。

PACKAGE	OUTLINE / LAND PATTERN	THERMAL CHARACTERISTICS
DFN1515-6A	<a href="#">DFN1515-6A PKG</a>	<a href="#">DFN1515-6A Power Dissipation</a>
SOT-25	<a href="#">SOT-25 PKG</a>	<a href="#">SOT-25 Power Dissipation</a>



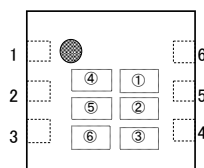
## ■マーキング

### マーク①

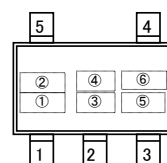
製品番号を表す。

シンボル	品名表記例
0	XC6138*****-G

DFN1515-6A



SOT-25



### マーク②,③,④

登録連番を表す。

#### 連番ルール

連番は001～999、A01～A99、B01～B99、C01…Z99、AAA～AZZ、BAA～BZZ、CAA…ZZZ を順番とする。(但し、G、I、J、O、Q、Wは除く。反転文字は使用しない。)

※連番は、PKGでは分けない。

※マーク②,③,④は、マーク①を基準として、製品名(フル品番)を表す。

### マーク⑤,⑥

製造ロットを表す。

01～09、0A～0Z、11…9Z、A1～A9、AA…Z9、ZA～ZZ を繰り返す。  
(但し、G、I、J、O、Q、Wは除く。反転文字は使用しない。)

### ●連番一覧

PRODUCT	②③④
XC6138 B H7D	001
XC6138 N A37	002
XC6138 N A94	003
XC6138 N AM1	004
XC6138 N AP0	005
XC6138 N APP	006
XC6138 N ANL	007
XC6138 N AN0	008
XC6138 N ARJ	009
XC6138 N CN0	010
XC6138 N CRJ	011
XC6138 N AL6	012
XC6138 C AN0	013
XC6138 C CN0	014
XC6138 C ARJ	015
XC6138 C CRJ	016
XC6138 N ARZ	017
XC6138 N APZ	018
XC6138 N APN	019
XC6138 N AQZ	020
XC6138 N AQT	021
XC6138 N ASY	022
XC6138 N AQE	023

1. 本データシートに記載された内容(製品仕様、特性、データ等)は、改善のために予告なしに変更することがあります。製品のご使用にあたっては、その最新情報を当社または当社代理店へお問い合わせ下さい。
2. 本データシートに記載された内容は、製品の代表的動作及び特性を説明するものでありそれらの使用に関連して発生した第三者の知的財産権の侵害などに関し当社は一切その責任を負いません。又その使用に際して当社及び第三者の知的財産権の実施許諾を行うものではありません。
3. 本データシートに記載された製品或いは内容の情報を海外へ持ち出される際には、「外国為替及び外国貿易法」その他適用がある輸出関連法令を遵守し、必要な手続きを行って下さい。
4. 本製品は、1)原子力制御機器、2)航空宇宙機器、3)医療機器、4)車両・その他輸送機器、5)各種安全装置及び燃焼制御装置等々のように、その機器が生命、身体、財産等へ重大な損害を及ぼす可能性があるような非常に高い信頼性を要求される用途に使用されることを意図しておりません。ただし、弊社が車載用等の用途を指定する場合を除きます。また車載用等使用の場合、弊社の事前の書面による許可なくして使用しないでください。
5. 当社は製品の品質及び信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生します。故障のために生じる人身事故、財産への損害を防ぐためにも設計上のフェールセーフ、冗長設計及び延焼対策にご留意をお願いします。
6. 本データシートに記載された製品には耐放射線設計はなされていません。
7. 保証値を超えた使用、誤った使用、不適切な使用等に起因する損害については、当社では責任を負いかねますので、ご了承下さい。
8. 本データシートに記載された内容を当社の事前の書面による承諾なしに転載、複製することは、固くお断りします。

トレックス・セミコンダクター株式会社