

## センス端子分離(サージ電圧保護機能付き) HYS 外調 遅延容量外付けタイプ電圧検出器

☆AEC-Q100 Grade1

## ■概要

XD6132 シリーズは超小型、高精度、センス端子分離、遅延容量外付けタイプ高精度電圧検出器です。CMOS プロセス、高精度基準電源、レーザートリミング技術の採用により高精度、低消費電流を実現しています。

センス端子と電源入力端子が分離されており、別電源の電圧を監視する事が可能で、監視する電源の電圧が 0V まで低下しても、出力を検出状態に保持する事が可能です。センス端子は高電圧を検出する場合にも適しており、外付け抵抗で任意の検出、解除電圧を設定することが可能です。さらにサージ電圧保護回路を内蔵しています。

また遅延回路を内蔵しており Cd/MRB 端子に容量を接続する事によって、任意の解除遅延、検出遅延を持たせることが可能でマニュアルリセット端子としても使用可能です。

HYS 外調端子を使用することでヒステリシス幅を十分もたせることが可能です。

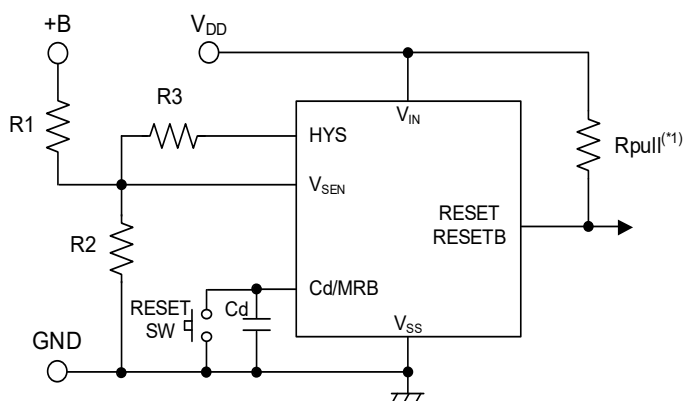
## ■用途

- カーナビゲーション
- カーオーディオ
- 車載カメラ
- その他車載アクセサリ

## ■特長

動作温度範囲	: -40°C ~ 125°C
動作電圧範囲	: 1.6V ~ 6.0V
検出電圧範囲(標準)	: 1.0V
検出電圧範囲(オプション)	: 0.8V ~ 2.0V
検出電圧精度 (Ta=25°C)	: ±18mV (V <sub>DF</sub> <1.5V) : ±1.2% (1.5V ≤ V <sub>DF</sub> ≤ 2.0V)
検出電圧精度 (Ta=-40~125°C)	: ±36mV (V <sub>DF</sub> <1.5V) : ±2.7% (1.5V ≤ V <sub>DF</sub> ≤ 2.0V)
検出電圧温度特性	: ±50ppm/°C (TYP.)
ヒステリシス幅	: V <sub>DF</sub> × 0.1% (TYP.)
ヒステリシス外調端子	: 有り
低消費電流	: 1.28µA (TYP.) V <sub>IN</sub> =1.6V (検出時) 1.65µA (TYP.) V <sub>IN</sub> =6.0V (解除時)
マニュアルリセット機能	: 有り (詳細は機能表参照)
出力形態	: CMOS or Nch オープンドレイン
出力論理	: 検出時 H レベル or L レベル
遅延容量端子付き	: 解除遅延/検出遅延設定可能 時間比は 4 パターン (詳細はセレクションガイド参照)
センス端子	: サージ電圧保護機能有り
パッケージ	: USP-6C, SOT-26
環境への配慮	: EU RoHS 指令対応、鉛フリー

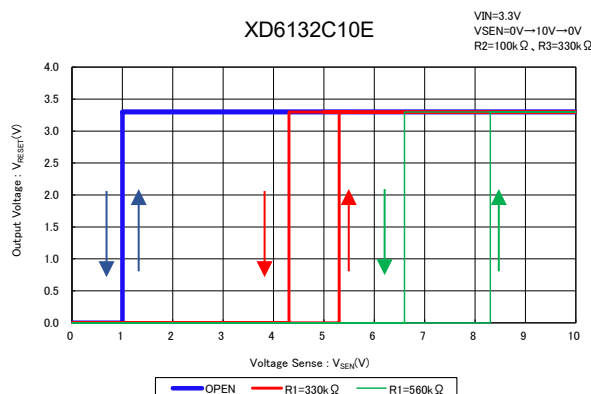
## ■代表標準回路



(\*1. Unused for the CMOS output products)

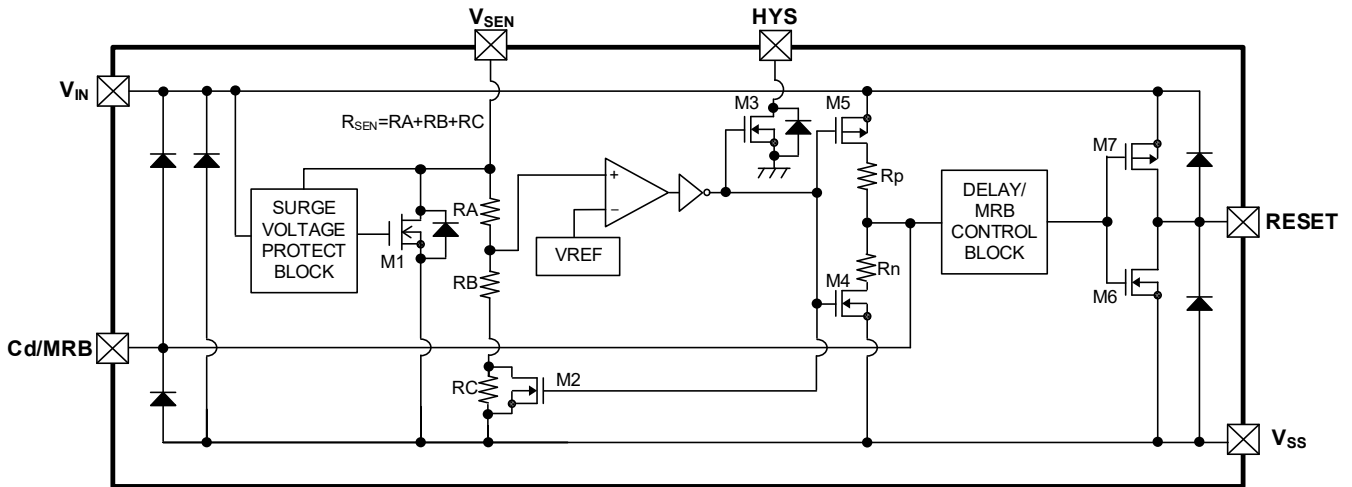
バッテリー電圧(+B)の監視: R1/R2 の抵抗分割にて高電圧を検出。  
V<sub>SEN</sub>-HYS 端子間に R3 を接続して任意のヒステリシスをつける  
ことが可能(詳細は動作説明参照)。

## ■代表特性例



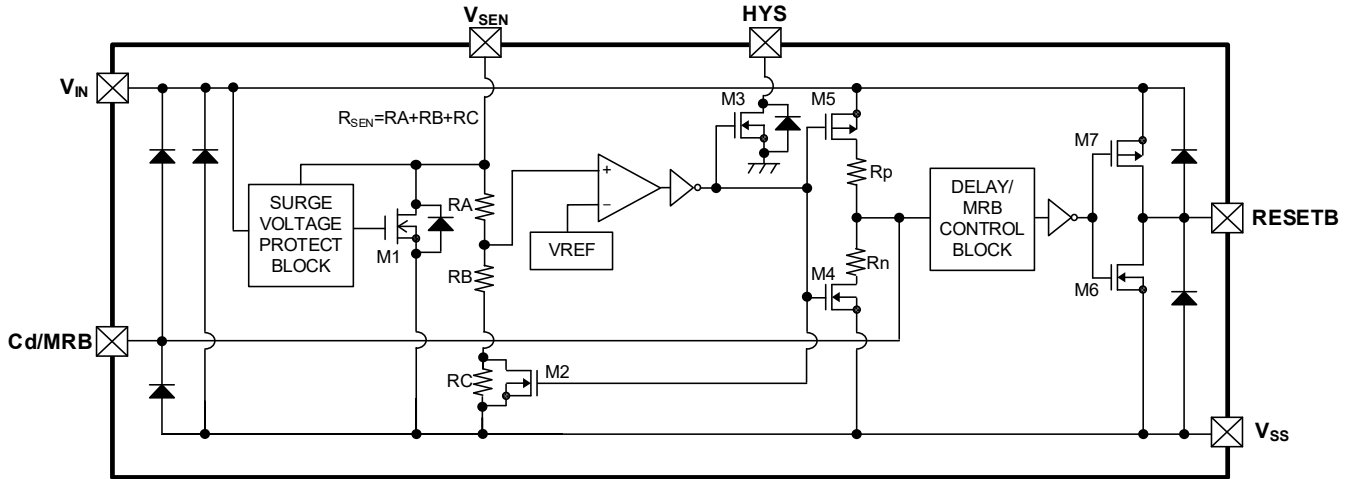
## ■ブロック図

(1) XD6132C シリーズ A/B/C/D タイプ(RESET OUTPUT:CMOS/Active High)



\* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

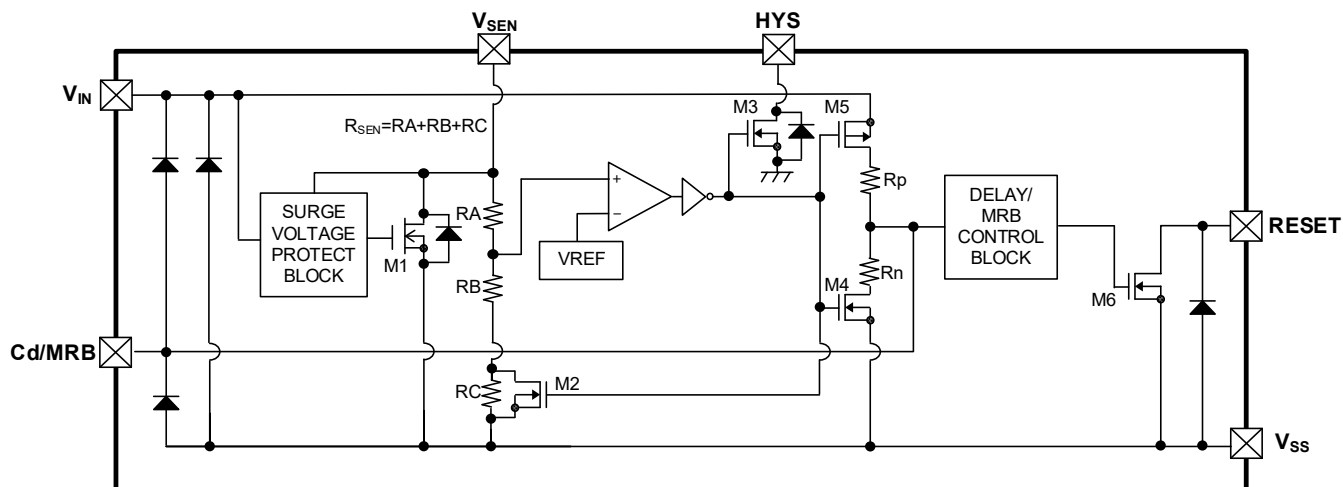
(2) XD6132C シリーズ E/F/H/K タイプ(RESETB OUTPUT:CMOS/Active Low)



\* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

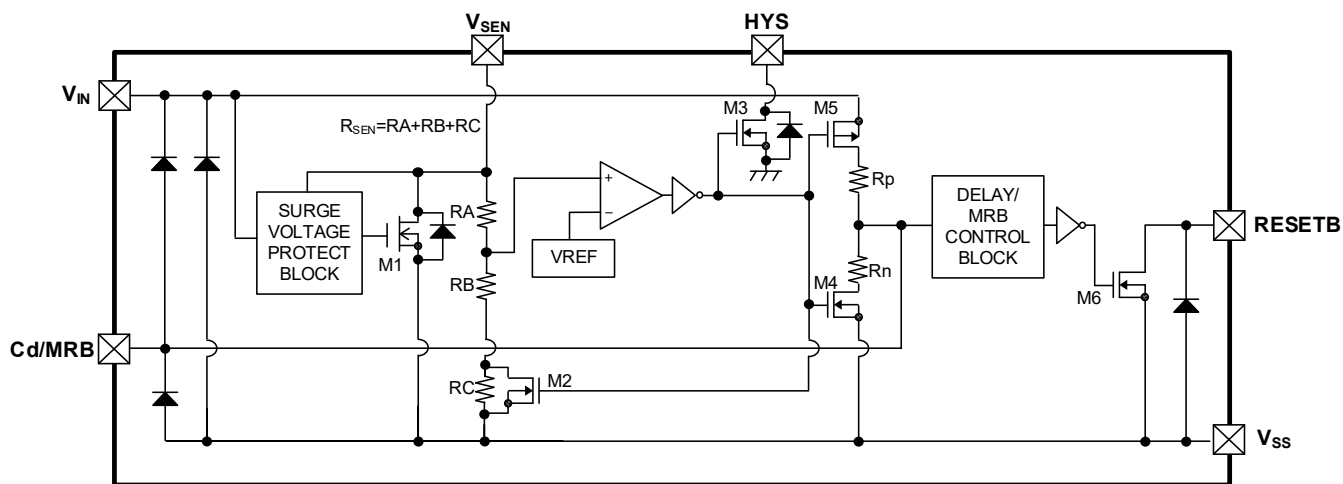
■ブロック図

(3) XD6132N シリーズ A/B/C/D タイプ(RESET OUTPUT:Nch open drain/Active High)



\* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

(4) XD6132N シリーズ E/F/H/K タイプ(RESETB OUTPUT:Nch open drain/Active Low)



\* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

## ■製品分類

### ●品番ルール

XD6132①②③④⑤⑥-⑦<sup>(\*)</sup>

DESIGNATOR	ITEM	SYMBOL	DESCRIPTION
①	Output Configuration	C	CMOS output
		N	Nch open drain output
②③	Detect Voltage	10 <sup>(2)</sup>	1.0V → ②③=10
④	Type	A~K	Refer to Selection Guide
⑤⑥-⑦ <sup>(*)</sup>	Packages (Order Unit)	MR-Q	SOT-26 (3,000pcs/Reel)
		ER-Q	USP-6C (3,000pcs/Reel)

<sup>(\*)</sup> "Q"は、AEC-Q100、ハロゲン&アンチモンフリーかつ EU RoHS 対応製品です。

<sup>(2)</sup> 他の電圧を要望される場合は弊社営業担当にお問い合わせ下さい。0.8V~2.0V の範囲で設定可能です。

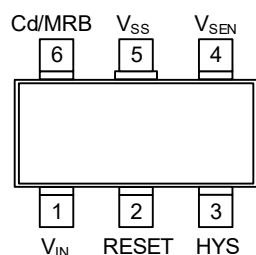
### ●セレクションガイド(Selection Guide)

Part No.	Output Configuration	Detect Voltage	RESET/RESETB OUTPUT	DELAY(Rp:Rn)		HYSTERESIS
XD6132C10A	CMOS output	1.0V	Active High <sup>(*)3</sup>	1:0	144kΩ:0Ω	0.1% (TYP.)
XD6132C10B		↑	↑	1:0.125	144kΩ:18kΩ	↑
XD6132C10C		↑	↑	1:1	144kΩ:144kΩ	↑
XD6132C10D		↑	↑	2:1	288kΩ:144kΩ	↑
XD6132C10E		↑	Active Low <sup>(*)3</sup>	1:0	144kΩ:0Ω	↑
XD6132C10F		↑	↑	1:0.125	144kΩ:18kΩ	↑
XD6132C10H		↑	↑	1:1	144kΩ:144kΩ	↑
XD6132C10K		↑	↑	2:1	288kΩ:144kΩ	↑
XD6132N10A	Nch open drain output	↑	Active High <sup>(*)3</sup>	1:0	144kΩ:0Ω	↑
XD6132N10B		↑	↑	1:0.125	144kΩ:18kΩ	↑
XD6132N10C		↑	↑	1:1	144kΩ:144kΩ	↑
XD6132N10D		↑	↑	2:1	288kΩ:144kΩ	↑
XD6132N10E		↑	Active Low <sup>(*)3</sup>	1:0	144kΩ:0Ω	↑
XD6132N10F		↑	↑	1:0.125	144kΩ:18kΩ	↑
XD6132N10H		↑	↑	1:1	144kΩ:144kΩ	↑
XD6132N10K		↑	↑	2:1	288kΩ:144kΩ	↑

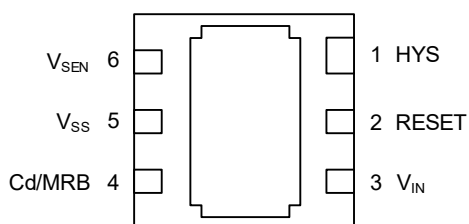
<sup>(\*)3</sup> Active High は検出時 H レベル、Active Low は検出時 L レベルとなります。

## ■端子配列

### ●A/B/C/D タイプ

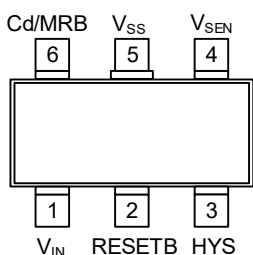


SOT-26  
(TOP VIEW)

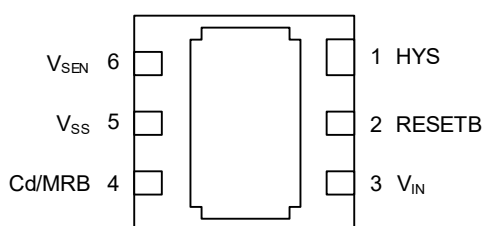


USP-6C  
(BOTTOM VIEW)

### ●E/F/H/K タイプ



SOT-26  
(TOP VIEW)



USP-6C  
(BOTTOM VIEW)

\* USP-6C の放熱板は実装強度強化および放熱の為、参考マウントパターンと参考メタルマスクでのんだ付けを推奨しています。  
尚、マウントパターンは  $V_{SS}$  端子(5 番端子)へ接続して下さい。

## ■端子説明

PIN NUMBER		PIN NAME	FUNCTIONS
SOT-26	USP-6C		
1	3	$V_{IN}$	Power Input
2	2	RESETB	Reset Output (Active Low) <sup>(*)</sup>
		RESET	Reset Output (Active High) <sup>(*)</sup>
3	1	HYS	Adjustable Pin for Hysteresis Width
4	6	$V_{SEN}$	Voltage Sense
5	5	$V_{SS}$	Ground
6	4	Cd/MRB	Adjustable Pin for Delay Time/ Manual Reset

<sup>(\*)</sup> 品番ルール④参照

## 機能表

PIN NAME	SIGNAL	STATUS
Cd/MRB	L	Forced Reset
	H	For details, refer to " Function Chart "
	OPEN	Normal Operation

### ●Function Chart

1.6V ≤ V<sub>IN</sub> ≤ 6.0 V

V <sub>SEN</sub>	V <sub>Cd/MRB</sub>	Transition of V <sub>RESET</sub> Condition	
		TYPE:A/B/C/D	TYPE:E/F/H/K
V <sub>SEN</sub> ≥ V <sub>DF</sub> + V <sub>HYS</sub>	V <sub>Cd/MRB</sub> ≤ V <sub>MRL</sub>	Reset (High Level) <sup>(*)2</sup>	Reset (Low Level) <sup>(*)1</sup>
	V <sub>Cd/MRB</sub> ≥ V <sub>MRH</sub>	Release (Low Level) <sup>(*)1</sup>	Release (High Level) <sup>(*)2</sup>
V <sub>SEN</sub> ≤ V <sub>DF</sub>	V <sub>Cd/MRB</sub> ≤ V <sub>MRL</sub>	Reset (High Level) <sup>(*)2</sup>	Reset (Low Level) <sup>(*)1</sup>
	V <sub>Cd/MRB</sub> ≥ V <sub>MRH</sub>	Undefined <sup>(*)3</sup>	Undefined <sup>(*)3</sup>

(\*)1 CMOS 出力 : V<sub>IN</sub> × 0.1 以下、Nch オープンドレイン出力 : プルアップ電圧 × 0.1 以下となります。

(\*)2 CMOS 出力 : V<sub>IN</sub> × 0.9 以上、Nch オープンドレイン出力 : プルアップ電圧 × 0.9 以上となります。

(\*)3 詳細は動作説明<マニュアルリセット機能>を参照下さい。

(注)V<sub>IN</sub> < V<sub>SEN</sub> で使用した場合、サージ保護回路が動作しますので V<sub>IN</sub> ≥ V<sub>SEN</sub> でご使用下さい。

## 絶対最大定格

T<sub>a</sub> = 25°C

PARAMETER	SYMBOL	RATINGS	UNITS
Input Voltage	V <sub>IN</sub>	-0.3 ~ 7.0	V
V <sub>SEN</sub> Pin Voltage	V <sub>SEN</sub>	-0.3 ~ +V <sub>IN</sub> +0.3 or 7.0 <sup>(*)1</sup>	V
HYS Pin Voltage	V <sub>HYS</sub>	-0.3 ~ 7.0	V
Cd/MRB Pin Voltage	V <sub>Cd/MRB</sub>	-0.3 ~ V <sub>IN</sub> +0.3 or 7.0 <sup>(*)1</sup>	V
Output Voltage	V <sub>RESETB</sub>   V <sub>RESET</sub>	-0.3 ~ V <sub>IN</sub> +0.3 or 7.0 <sup>(*)1</sup>	V <sub>RESETB</sub>
			V <sub>RESET</sub>
Cd/MRB Pin Current	I <sub>Cd/MRB</sub>	±5.0	mA
Output Current	I <sub>ROUT</sub>   I <sub>ROUT</sub>	±50	I <sub>ROUT</sub>
			I <sub>ROUT</sub>
HYS Pin Current	I <sub>HYS</sub>	+50	mA
V <sub>SEN</sub> Pin Surge Current(+)	I <sub>SENSURGE(+)</sub>	+2.5 <sup>(*)4</sup>	mA
V <sub>SEN</sub> Pin Surge Current(-)	I <sub>SENSURGE(-)</sub>	-2.5 <sup>(*)5</sup>	mA
V <sub>SEN</sub> Pin Surge Voltage(+)	V <sub>SENSURGE(+)</sub>	+7.0 <sup>(*)4</sup>	V
V <sub>SEN</sub> Pin Surge Voltage(-)	V <sub>SENSURGE(-)</sub>	-0.9 <sup>(*)5</sup>	V
Power Dissipation	Pd	250	mW
		600 (40mm x 40mm 標準基板) <sup>(*)6</sup>	
		100	
		1250 ( JESD51-7 基板) <sup>(*)6</sup>	
Operating Ambient Temperature	Topr	-40 ~ 125	°C
Storage Temperature	Tstg	-55 ~ 125	°C

各電圧定格は V<sub>SS</sub> を基準とする。

(\*)1 最大値は V<sub>IN</sub>+0.3V と 7.0V いずれか低い電圧になります。

(\*)2 CMOS 出力

(\*)3 Nch オープンドレイン出力

(\*)4 印加時間 ≤ 200ms.

(\*)5 印加時間 ≤ 20ms.

(\*)6 基板実装時の許容損失の参考データとなります。実装条件は許容損失の項目をご参照下さい。

■電気的特性

PARAMETER	SYMBOL	CONDITIONS	Ta=25°C			-40°C ≤ Ta ≤ 125°C <sup>(*)3</sup>			UNITS	CIRCUIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
Operating Voltage	V <sub>IN</sub>		1.6		6.0	1.6		6.0	V	①
V <sub>SEN</sub> Input Voltage	V <sub>SEN</sub>		0		6.0	0		6.0	V	
Detect Voltage	V <sub>DF</sub>		0.982	1.000	1.018	0.964	1.000	1.036	V	
Hysteresis Width	V <sub>HYS</sub>		-	V <sub>DF</sub> ×0.001	V <sub>DF</sub> ×0.007	-	V <sub>DF</sub> ×0.001	V <sub>DF</sub> ×0.01	V	②
Supply Current 1	I <sub>ss1</sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×0.9, V <sub>IN</sub> =1.6V	-	1.28	2.65	-	1.28	3.92	μA	
		V <sub>SEN</sub> =V <sub>DF</sub> ×0.9, V <sub>IN</sub> =6.0V	-	1.36	2.80	-	1.36	4.22		
Supply Current 2	I <sub>ss2</sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×1.1, V <sub>IN</sub> =1.6V	-	1.32	2.75	-	1.32	4.26		
		V <sub>SEN</sub> =V <sub>DF</sub> ×1.1, V <sub>IN</sub> =6.0V	-	1.65	3.25	-	1.65	4.97		
SENSE Resistance	R <sub>SEN</sub>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =6.0V	10.0	26.1	-	7.6	26.1	-	MΩ	③
Release Delay Resistance (TYPE:A/B/C/E/F/H)	R <sub>p</sub>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =6.0V, V <sub>Cd/MRB</sub> =0V	130	144	158	122	144	166	kΩ	④
Release Delay Resistance (TYPE:D/K)		V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =6.0V, V <sub>Cd/MRB</sub> =0V	259	288	317	245	288	331		
Detect Delay Resistance (TYPE:C/D/H/K)	R <sub>n</sub>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =0V, V <sub>Cd/MRB</sub> =6.0V	130	144	158	122	144	166		
Detect Delay Resistance (TYPE:B/F)		V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =0V, V <sub>Cd/MRB</sub> =6.0V	16.8	18	19.1	16.2	18	19.8		
Release Delay Time <sup>(*)1</sup>	t <sub>DR0</sub>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =V <sub>DF</sub> ×0.9 → V <sub>DF</sub> ×1.1	-	20	102	-	20	136	μs	⑤
Detect Delay Time <sup>(*)2</sup>	t <sub>DF0</sub>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =V <sub>DF</sub> ×1.1 → V <sub>DF</sub> ×0.9	-	20	82	-	20	116		

測定条件:Cd/MRB 端子、HYS 端子の規定がない場合、オープンとする。

本仕様は、1.0V 品の仕様となります。他の設定電圧の製品の仕様につきましては弊社営業担当までお問い合わせ下さい。

<sup>(\*)1</sup> RESETB 品:V<sub>SEN</sub> 端子電圧が解除電圧に達し、リセット出力端子が<sup>§</sup> 5.4V(V<sub>IN</sub>×90%)に達するまでの時間。

RESET 品:V<sub>SEN</sub> 端子電圧が解除電圧に達し、リセット出力端子が<sup>§</sup> 0.6V(V<sub>IN</sub>×10%)に達するまでの時間。

解除電圧(V<sub>DR</sub>)=検出電圧(V<sub>DF</sub>)+ヒステリシス幅(V<sub>HYS</sub>)

<sup>(\*)2</sup> RESETB 品:V<sub>SEN</sub> 端子電圧が検出電圧に達し、リセット出力端子が<sup>§</sup> 0.6V(V<sub>IN</sub>×10%)に達するまでの時間。

RESET 品:V<sub>SEN</sub> 端子電圧が検出電圧に達し、リセット出力端子が<sup>§</sup> 5.4V(V<sub>IN</sub>×90%)に達するまでの時間。

<sup>(\*)3</sup> -40°C ≤ Ta ≤ 125°Cの規格値は設計値となります。

## ■電気的特性

PARAMETER	SYMBOL	CONDITIONS	Ta=25°C			-40°C ≤ Ta ≤ 125°C <sup>(5)</sup>			UNITS	CIRCUIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
Hysteresis Output Current	I <sub>HYSOUT</sub>	V <sub>IN</sub> =1.6V, V <sub>SEN</sub> =0V, V <sub>HYS</sub> =0.3V	1.9	3.4	-	0.7	3.4	-	mA	⑥
Hysteresis Output Leakage Current	I <sub>HYSLEAK</sub>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =6.0V, V <sub>HYS</sub> =6.0V	-	0.01	0.1	-	0.01	1.0	μA	
RESETB Output Current	I <sub>RBOUTN</sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×0.9, Nch. V <sub>RESETB</sub> =0.3V							mA	⑦
		V <sub>IN</sub> =1.6V	1.9	3.4	-	0.7	3.4	-		
		V <sub>IN</sub> =2.0V	4.2	6.0	-	2.0	6.0	-		
		V <sub>IN</sub> =3.0V	8.6	10.5	-	4.3	10.5	-		
		V <sub>IN</sub> =4.0V	12.7	14.1	-	6.2	14.1	-		
		V <sub>IN</sub> =5.0V	15.6	17.0	-	7.3	17.0	-		
	I <sub>RBOUTP</sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×1.1, Pch. V <sub>RESETB</sub> =V <sub>IN</sub> -0.3V								
		V <sub>IN</sub> =1.6V	-	-1.2	-0.7	-	-1.2	-0.48		
		V <sub>IN</sub> =3.0V	-	-3.0	-2.5	-	-3.0	-1.1		
		V <sub>IN</sub> =6.0V	-	-4.9	-4.4	-	-4.9	-2.5		
RESET Output Current	I <sub>ROUTN</sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×1.1, Nch. V <sub>RESET</sub> =0.3V							mA	
		V <sub>IN</sub> =1.6V	1.9	3.4	-	0.7	3.4	-		
		V <sub>IN</sub> =2.0V	4.2	6.0	-	2.0	6.0	-		
		V <sub>IN</sub> =3.0V	8.6	10.5	-	4.3	10.5	-		
		V <sub>IN</sub> =4.0V	12.7	14.1	-	6.2	14.1	-		
		V <sub>IN</sub> =5.0V	15.6	17.0	-	7.3	17.0	-		
	I <sub>ROUTP</sub>	V <sub>SEN</sub> =V <sub>DF</sub> ×0.9, Pch. V <sub>RESET</sub> =V <sub>IN</sub> -0.3V								
		V <sub>IN</sub> =1.6V	-	-1.2	-0.7	-	-1.2	-0.48		
		V <sub>IN</sub> =3.0V	-	-3.0	-2.5	-	-3.0	-1.1		
		V <sub>IN</sub> =6.0V	-	-4.9	-4.4	-	-4.9	-2.5		
RESETB Output Leakage Current	I <sub>LEAKN</sub> <sup>(4)</sup>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =6.0V, Nch. V <sub>RESETB</sub> =6.0V	-	0.01	0.1	-	0.01	1.0	μA	
	I <sub>LEAKP</sub>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =0V, Pch. V <sub>RESETB</sub> =0V	-	-0.01	-	-	-0.01	-		
RESET Output Leakage Current	I <sub>LEAKN</sub> <sup>(4)</sup>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =0V, Nch. V <sub>RESET</sub> =6.0V	-	0.01	0.1	-	0.01	1.0		
	I <sub>LEAKP</sub>	V <sub>IN</sub> =6.0V, V <sub>SEN</sub> =6.0V, Pch. V <sub>RESET</sub> =0V	-	-0.01	-	-	-0.01	-		

測定条件: Cd/MRB 端子、HYS 端子の規定がない場合、オープンとする

本仕様は、1.0V 品の仕様となります。他の設定電圧の製品の仕様につきましては弊社営業担当までお問い合わせ下さい。

<sup>(4)</sup> MAX 値については XD6132N(Nch オープンドレイン出力)の製品が対象となります。

<sup>(5)</sup> -40°C ≤ Ta ≤ 125°C の規格値は設計値となります。



■電気的特性

PARAMETER	SYMBOL	CONDITIONS	Ta=25°C			-40°C ≤ Ta ≤ 125°C <sup>(*)</sup>			UNITS	CIRCUIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
Cd Pin Sink Current (TYPE:A/E)	I <sub>Cd</sub>	V <sub>IN</sub> =1.6V, V <sub>Cd/MRB</sub> =0.5V, V <sub>SEN</sub> =0V	0.92	1.2		0.66	1.2		mA	⑧
Cd Pin Threshold Voltage(Release)	V <sub>TCd1</sub>	V <sub>IN</sub> =1.6V, V <sub>SEN</sub> =0V → V <sub>DF</sub> × 1.1	V <sub>IN</sub> × 0.46	V <sub>IN</sub> × 0.5	V <sub>IN</sub> × 0.54	V <sub>IN</sub> × 0.46	V <sub>IN</sub> × 0.5	V <sub>IN</sub> × 0.54	V	⑨
Cd Pin Threshold Voltage(Detect)	V <sub>TCd2</sub>	V <sub>IN</sub> =1.6V, V <sub>SEN</sub> =V <sub>DF</sub> × 1.1 → 0V								
MRB High Level Voltage	V <sub>MRH</sub>	V <sub>IN</sub> :1.6V~6.0V, V <sub>SEN</sub> =V <sub>DF</sub> × 1.1, V <sub>IN</sub> > V <sub>SEN</sub>	V <sub>IN</sub> × 0.55		V <sub>IN</sub>	V <sub>IN</sub> × 0.55		V <sub>IN</sub>	V	⑩
MRB Low Level Voltage	V <sub>MRL</sub>	V <sub>IN</sub> :1.6V~6.0V, V <sub>SEN</sub> =V <sub>DF</sub> × 1.1, V <sub>IN</sub> > V <sub>SEN</sub>	0		V <sub>IN</sub> × 0.18	0		V <sub>IN</sub> × 0.18	V	
MRB Minimum Pulse Width	t <sub>MRIN</sub> <sup>(*)6)</sup>	V <sub>IN</sub> =1.6V, V <sub>SEN</sub> =V <sub>DF</sub> × 1.1, Apply pulse from V <sub>DF</sub> × 1.1 to 0V to the MRB pin.	5.0	-	-	5.0	-	-	μs	⑪
	t <sub>MRIN</sub> <sup>(*)7)</sup>		32.0	-	-	32.0	-	-		

測定条件:Cd/MRB 端子、HYS 端子の規定がない場合、オープンとする。

本仕様は、1.0V 品の仕様となります。他の設定電圧の製品の仕様につきましては弊社営業担当までお問い合わせ下さい。

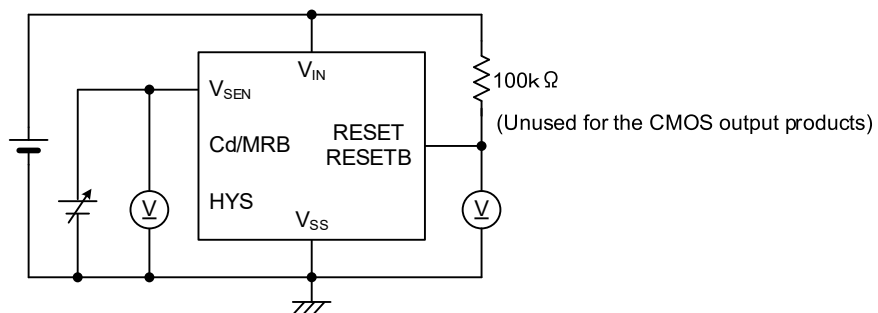
<sup>(\*)6)</sup> CMOS 出力品の TYPE:A/B/C/D/E/F/H/K、Nch オープンドレイン品の TYPE:E/F/H/K が対象となります。

<sup>(\*)7)</sup> Nch オープンドレイン出力品の TYPE:A/B/C/D が対象となります。

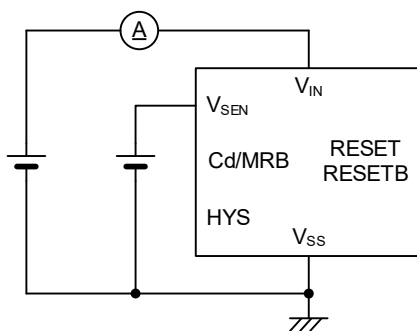
<sup>(\*)8)</sup> -40°C ≤ Ta ≤ 125°C の規格値は設計値となります。

## ■測定回路図

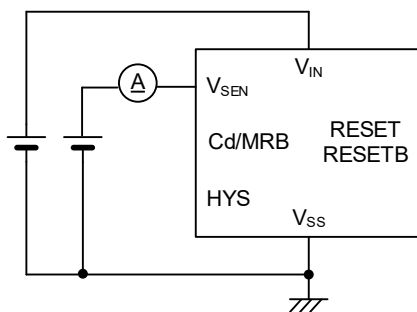
測定回路図①



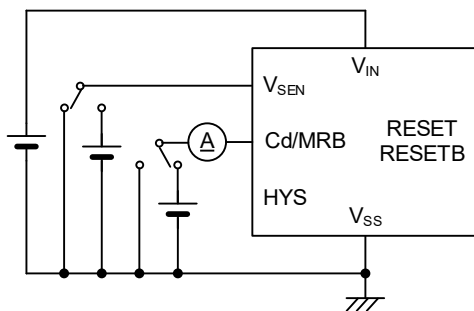
測定回路図②



測定回路図③



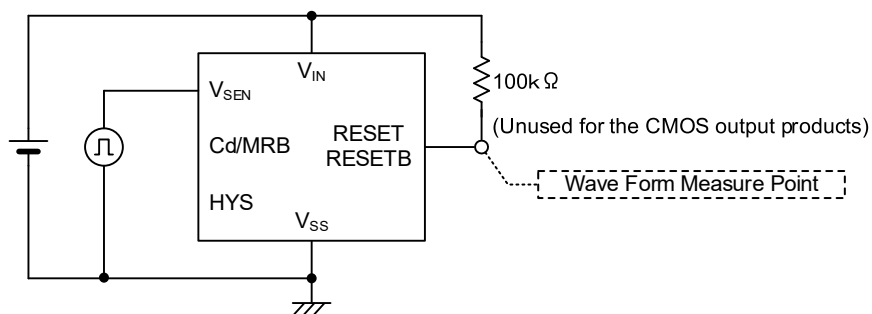
測定回路図④



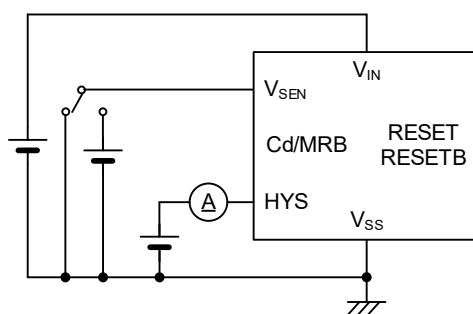
\* RESET 品は A/B/C/D タイプ、RESETB 品は E/F/H/K タイプです。

## ■測定回路図

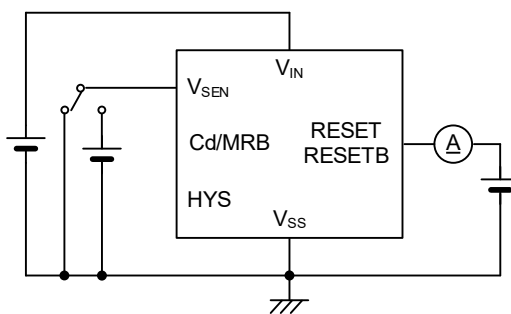
測定回路図⑤



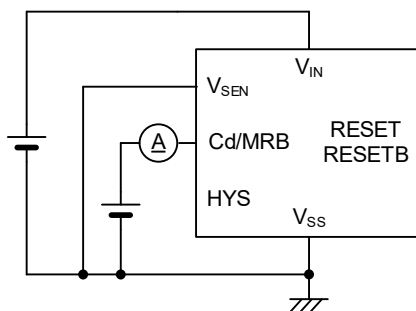
測定回路図⑥



測定回路図⑦



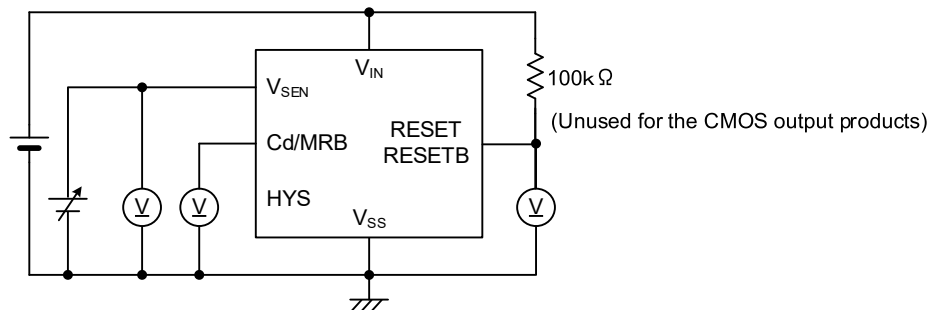
測定回路図⑧



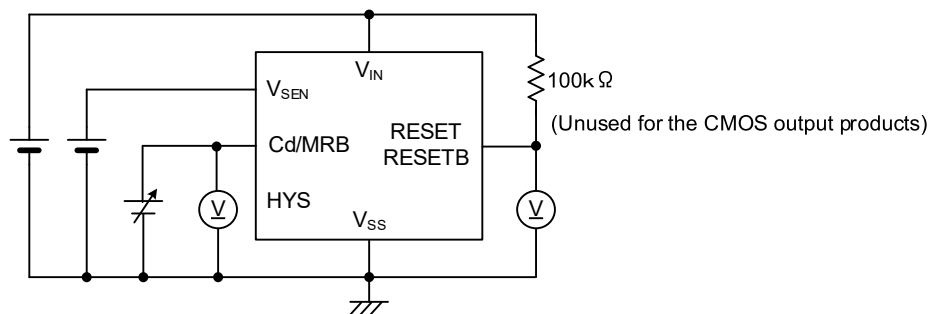
\* RESET 品は A/B/C/D タイプ、RESETB 品は E/F/H/K タイプです。

## ■測定回路図

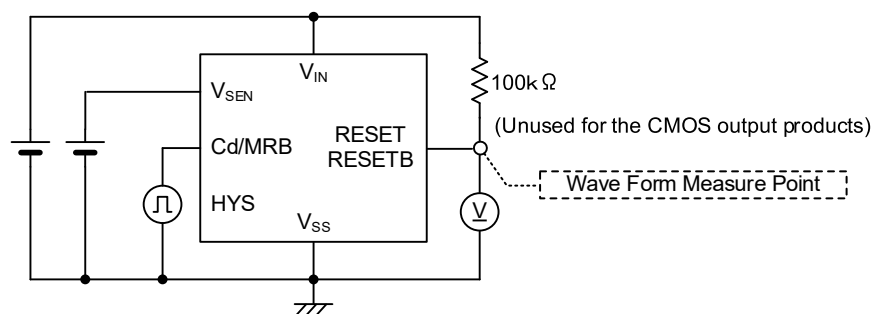
測定回路図⑨



測定回路図⑩



測定回路図⑪

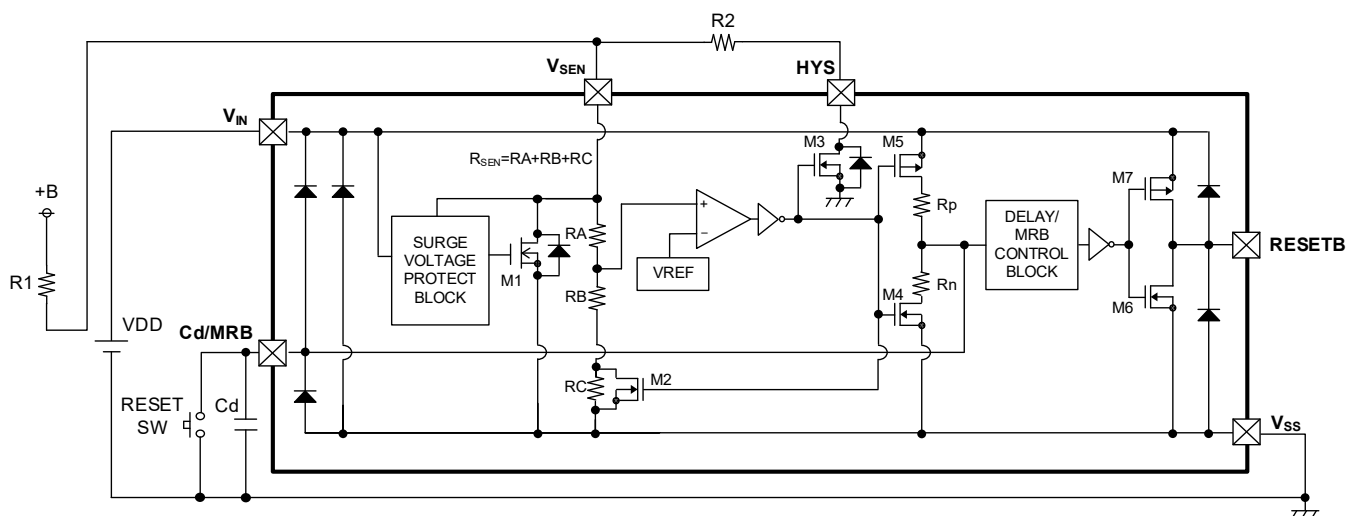


\* RESET 品は A/B/C/D タイプ、RESETB 品は E/F/H/K タイプです。

## ■動作説明

### <基本動作>

図 1 に代表的な回路例、図 2 に図 1 のタイミングチャートを示します。



注: XD6132N シリーズ(Nch オープンドレイン出力)では出力をプルアップする為のプルアップ抵抗が必要です。

図 1. 代表的な回路例(Active Low)

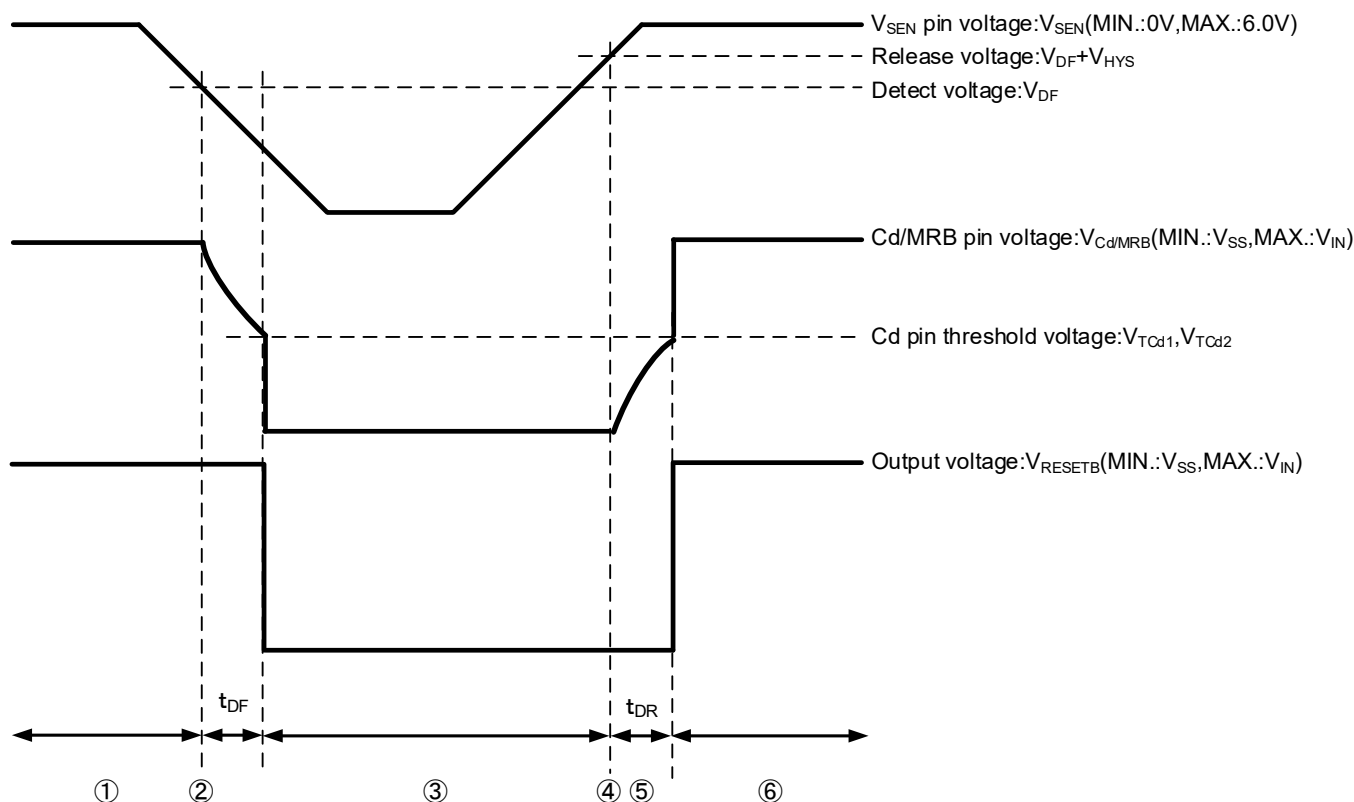


図 2. タイミングチャート( $V_{IN}=6.0V$ 、Active Low)

①初期状態として  $V_{SEN}$  端子には解除電圧に対して十分に高い電圧(MAX.:6.0V)が印加されており、遅延容量 Cd は電源入力端子電圧まで充電されているものとします。

$V_{SEN}$  端子電圧が降下し始め、検出電圧に達するまでの間( $V_{SEN} > V_{DF}$ )、 $V_{RESETB}$  は High レベル(=  $V_{IN}$ )となっています。

注: Nch オープンドレイン出力(XD6132N)でプルアップ抵抗を電源入力端子  $V_{IN}$  とは別の電源に接続する場合、High レベルはプルアップ抵抗を接続している電源の電圧値となります。

## ■動作説明

- ②  $V_{SEN}$  端子電圧が降下し続け、検出電圧となった時 ( $V_{SEN}=V_{DF}$ )、遅延容量ディスチャージ用 Nch トランジスタが ON し、遅延抵抗  $R_n$  を介して遅延容量  $C_d$  のディスチャージを開始します。  
 $V_{SEN}=V_{DF}$  から、 $V_{RESETB}$  が Low レベルになるまでの時間を検出遅延時間  $t_{DF}$  ( $C_d/MRB$  端子に容量を接続していない場合の検出時間を  $t_{DF0}$ ) とします。遅延容量  $C_d$  のディスチャージは  $V_{TCd2}$  の閾値電圧までは遅延抵抗  $R_n$  にてディスチャージしますが  $V_{TCd2}$  の閾値電圧以下になると内部に内蔵された低インピーダンスのスイッチにて高速にディスチャージします。
- ③  $V_{SEN}$  端子電圧が検出電圧  $V_{DF}$  以下の間、遅延容量  $C_d$  はグラウンドレベルまでディスチャージされ、 $V_{SEN}$  端子が再び上昇し、解除電圧に達するまでの間 ( $V_{SEN}<V_{DF}+V_{HYS}$ )、 $V_{RESETB}$  は Low レベルを保持します。
- ④  $V_{SEN}$  端子電圧が上昇し続け、解除電圧 ( $V_{DF}+V_{HYS}$ ) になった時、遅延容量ディスチャージ用 Nch トランジスタが OFF し、遅延抵抗  $R_p$  を介して遅延容量  $C_d$  のチャージを開始します。遅延容量  $C_d$  のチャージは  $V_{TCd1}$  の閾値電圧までは遅延抵抗  $R_p$  にてチャージしますが  $V_{TCd1}$  の閾値電圧以上になると内部に内蔵された低インピーダンスのスイッチにて高速にチャージします。
- ⑤  $C_d/MRB$  端子電圧が  $V_{TCd1}$  になった時、 $V_{RESETB}$  は High レベルに変化します。  
 $V_{SEN}=V_{DF}+V_{HYS}$  から  $V_{RESETB}$  の論理が変化するまでの時間を解除遅延時間  $t_{DR}$  ( $C_d/MRB$  端子に容量を接続していない場合の解除時間を  $t_{DR0}$ ) とします。
- ⑥  $V_{SEN}$  端子電圧が検出電圧より高い間 ( $V_{SEN}>V_{DF}$ )、 $V_{RESETB}$  は High レベルを保持します。

尚、上記は検出時 Active Low 製品を用いての動作説明となります。

Active High 製品の場合は、リセット端子の論理を逆にしてお理解頂きますようお願いいたします。

また出荷時、内部ヒステリシスはついていませんので ( $V_{HYS}=V_{DF}\times 0.001V$  (TYP.))、外部抵抗で 1% 以上のヒステリシスをつけて下さい。計算方法は以下の <ヒステリシス外調機能> を参照して下さい。また注意点として、使用上の注意 5) 6) を参照して下さい。

### <ヒステリシス外調機能>

監視するノードと  $V_{SEN}$  端子間及び  $V_{SEN}$  端子と HYS 端子間に抵抗をつけることで任意のヒステリシスをつけることが可能です。検出電圧をかえずに解除電圧のみ高くすることによりヒステリシスをつける場合の計算式は以下になります。

回路図は図 3.ヒステリシス増大回路 1 を参照して下さい。

$$V_{DR}(H)=V_{DR}(T)\times\{1+(RD/RE)\}$$

$$\text{ヒステリシス幅}=V_{DR}(H)-V_{DF}(T)$$

例 1:  $RD=200k\Omega$ ,  $RE=200k\Omega$ ,  $V_{DF}(T)=1.000V$ ,  $V_{DR}(T)=1.001V$  とする。  
 $V_{DR}(H)=2.002V$   
 ヒステリシス幅  $=2.002-1.000=1.002V$

次に高電圧を検出かつヒステリシスをつける場合の計算式は以下になります。

回路図は図 4.ヒステリシス増大回路 2 を参照して下さい。

$$V_{DF}(H)=V_{DF}(T)\times\{1+(R1/R2)\}$$

$$V_{DR}(H)=V_{DR}(T)\times\{1+(R1/R2)+(R1/R3)\}$$

$$\text{ヒステリシス幅}=V_{DR}(H)-V_{DF}(H)$$

例 2:  $R1=R3=500k\Omega$ ,  $R2=200k\Omega$ ,  $V_{DF}(T)=2.000V$ ,  $V_{DR}(T)=2.002V$  とする。  
 $V_{DF}(H)=7.0V$   
 $V_{DR}(H)=9.009V$   
 ヒステリシス幅  $=9.009-7.0=2.009V$

(注 1)  $V_{DF}(H)$  は外調後の検出電圧

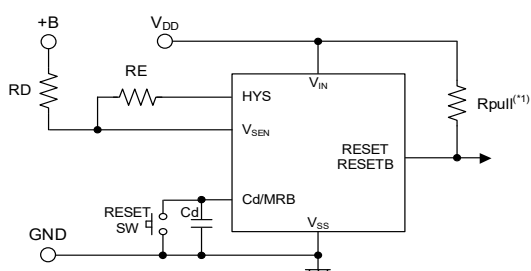
(注 2)  $V_{DR}(H)$  は外調後の解除電圧

(注 3)  $V_{DR}(T)$  は解除電圧

(注 4)  $V_{DF}(T)$  は検出電圧

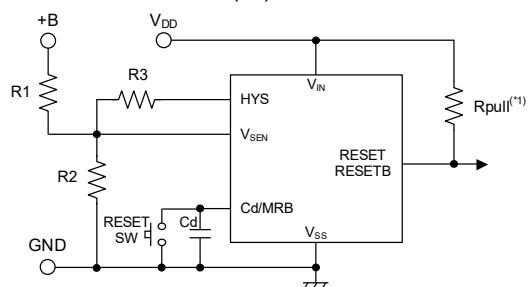
(注 5)  $R2$  抵抗は内部  $R_{SEN}$  抵抗と並列になるため、外調後の検出電圧と解除電圧の精度を上げるためには  $R_{SEN}$  抵抗に対して十分小さい値にして下さい。

(注 6) 高電圧を検出する場合、 $V_{SEN}$  端子  $\leq 6V$  になるように  $R1$ ,  $R2$  の抵抗で分圧して下さい。ここではバッテリー電圧 (+B) は、最大で 12V を想定しています。



(\*1. Unused for the CMOS output products)

図 3.ヒステリシス増大回路 1



(\*1. Unused for the CMOS output products)

図 4.ヒステリシス増大回路 2

## ■動作説明

### <解除遅延時間/検出遅延時間>

解除遅延時間と検出遅延時間は遅延抵抗(Rp と Rn)及び遅延容量 Cd で決まります。  
遅延抵抗(Rp と Rn)の比率は 4 種類から選択可能です。遅延時間は遅延抵抗と遅延容量値の組み合わせにて調整する事が出来ます  
(セレクションガイド参照)。

解除遅延時間(t<sub>DR</sub>)は、式(1)により算出されます。

$$t_{DR} = R_p \times C_d \times \{-\ln(1 - V_{TCd1}/V_{IN})\} + t_{DR0} \dots (1) \quad * \ln \text{ は自然対数}$$

遅延容量端子閾値電圧  $V_{TCd1} = V_{IN}/2$  (TYP.)となっており、t<sub>DR0</sub> が無視できる時、簡易的には式(2)で算出する事が可能です。

$$t_{DR} = R_p \times C_d \times \{-\ln\{1 - (V_{IN}/2)/V_{IN}\}\} = R_p \times C_d \times 0.693 \dots (2)$$

検出遅延時間(t<sub>DF</sub>)は、式(3)により算出されます。

$$t_{DF} = R_n \times C_d \times \{-\ln(V_{TCd2}/V_{IN})\} + t_{DF0} \dots (3) \quad * \ln \text{ は自然対数}$$

遅延容量端子閾値電圧  $V_{TCd2} = V_{IN}/2$  (TYP.)となっており、t<sub>DF0</sub> が無視できる時、簡易的には式(4)で算出する事が可能です。

$$t_{DF} = R_n \times C_d \times \{-\ln(V_{IN}/2)/V_{IN}\} = R_n \times C_d \times 0.693 \dots (4)$$

例 3: タイプ A を選択した場合(Rp:Rn=144kΩ:0Ω)以下の遅延時間となります。

Cd を 0.1μF とした場合、

$$t_{DR} = 144 \times 10^3 \times 0.1 \times 10^{-6} \times 0.693 = 10\text{ms}$$

t<sub>DF</sub> は遅延容量 Cd を接続していない場合の検出遅延時間(t<sub>DF0</sub>)となります。

例 4: タイプ B を選択した場合(Rp:Rn=144kΩ:18kΩ)以下の遅延時間となります。

Cd を 0.1μF とした場合、

$$t_{DR} = 144 \times 10^3 \times 0.1 \times 10^{-6} \times 0.693 = 10\text{ms}$$

$$t_{DF} = 18 \times 10^3 \times 0.1 \times 10^{-6} \times 0.693 = 1.25\text{ms}$$

(注<sup>7</sup>)例 3、例 4 の解除遅延時間 t<sub>DR</sub> は式(2)より求めた計算値となります。

(注<sup>8</sup>)例 4 の検出遅延時間 t<sub>DF</sub> は式(4)より求めた計算値となります。

(注<sup>9</sup>)遅延時間は遅延容量 Cd の実容量値により変わるのでご注意ください。

### <マニュアルリセット機能>

Cd/MRB 端子はマニュアルリセット端子としても使用可能です。

図 1 の様に Cd/MRB 端子に遅延容量 Cd とリセットスイッチをつけた状態で解除時にリセットスイッチを ON すると強制的にリセット出力端子の信号を検出状態にすることができます。

解除時にリセットスイッチを ON すると、RESETB 端子は検出遅延時間後に H→L レベル信号を出力します(RESETB: Active Low タイプ)。

解除時にリセットスイッチを ON すると、RESET 端子は検出遅延時間後に L→H レベル信号を出力します(RESET: Active High タイプ)。

検出時にリセットスイッチを ON/OFF してもリセット出力端子は検出状態を保持します。

リセットスイッチを使用せずに Cd/MRB 端子に MRB H レベルまたは MRB L レベルの電圧を印加して使用する場合、図 5 のタイミングチャートの動作となります。

検出時に MRB L レベルの電圧を印加した場合リセット出力端子は検出状態を保持します。検出時に MRB H レベルの電圧を印加した場合リセット出力端子は不定となります。

V<sub>SEN</sub> 端子電圧を解除状態から検出状態に推移しても MRB 端子電圧が H レベルである場合、リセット信号は解除状態を維持し、Cd/MRB 端子電圧が Cd 端子の閾値電圧(V<sub>TCd</sub>)まで解除状態を保持します。

遅延容量 Cd を接続した状態で Cd/MRB 端子に外部から H または L 信号を入力しても遅延時間はつきません。

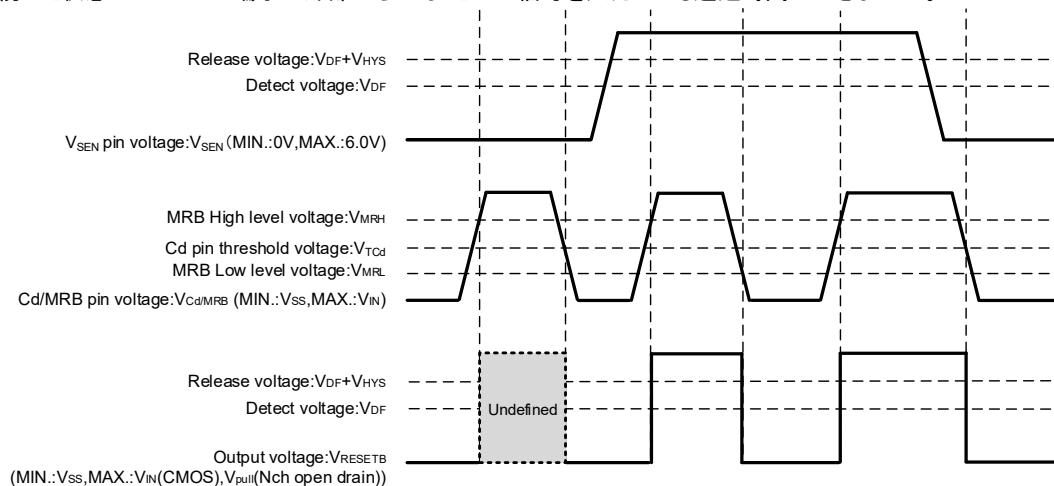


図 5. Cd/MRB 端子によるマニュアルリセット動作 ( $V_{IN} = 6.0V$ , Active Low)

## ■動作説明

### <サージ電圧保護機能>

$V_{SEN}$  端子にはサージ電圧保護回路を内蔵しており+2.5mA( $\leq 200$ ms)、-2.5mA( $\leq 20$ ms)のサージ電流を流すことが可能です。プラスのサージ電流( $I_{SENSURGE(+)}$ )は SURGE VOLTAGE PROTECT BLOCK 信号で M1 を ON することでサージ電流を流します。マイナスのサージ電流( $I_{SENSURGE(-)}$ )は M1 の寄生ダイオードにて流します。プラスのサージ電流が流れてサージ電圧保護回路が動作している場合、 $V_{SEN}$  端子電圧は  $V_{IN}$  電圧とサージ電流に比例して上昇しますので動作電圧を超えない様、図 7 を参考にサージ電流を外付け抵抗で調整して下さい。  
\*  $V_{SEN}$  電圧の上昇は高温時が Worst となります。

例 5:  $V_{IN}=3.3V$ 、 $I_{SENSURGE(+)}=2.5mA$ (MAX)の場合、図 7 より  $V_{SEN}$  端子電圧は 5.6V となります。バッテリー電圧(+B)の MAX が 100V の場合、R1 抵抗には $(100-5.6)=94.4V$  の電圧がかかります。サージ電流を 2.5mA に抑えるためには  $R1=V/I=94.4/0.0025=37.8k\Omega$  以上にして下さい。

例 6:  $V_{IN}=3.3V$ 、 $I_{SENSURGE(-)}=-2.5mA$ (MAX)の場合、M1 の寄生ダイオードの  $V_f$  は-0.9V(MAX)となります。バッテリー電圧(+B)の MAX が-100V の場合、R1 抵抗には $\{-100-(-0.9)\}=-99.1V$  の電圧がかかります。サージ電流を-2.5mA に抑えるためには  $R1=V/I=-99.1/-0.0025=39.6k\Omega$  以上にして下さい。

プラス側とマイナス側でサージ電圧が異なる場合、R1 抵抗にかかる電圧差が大きい方で抵抗値を算出して下さい。

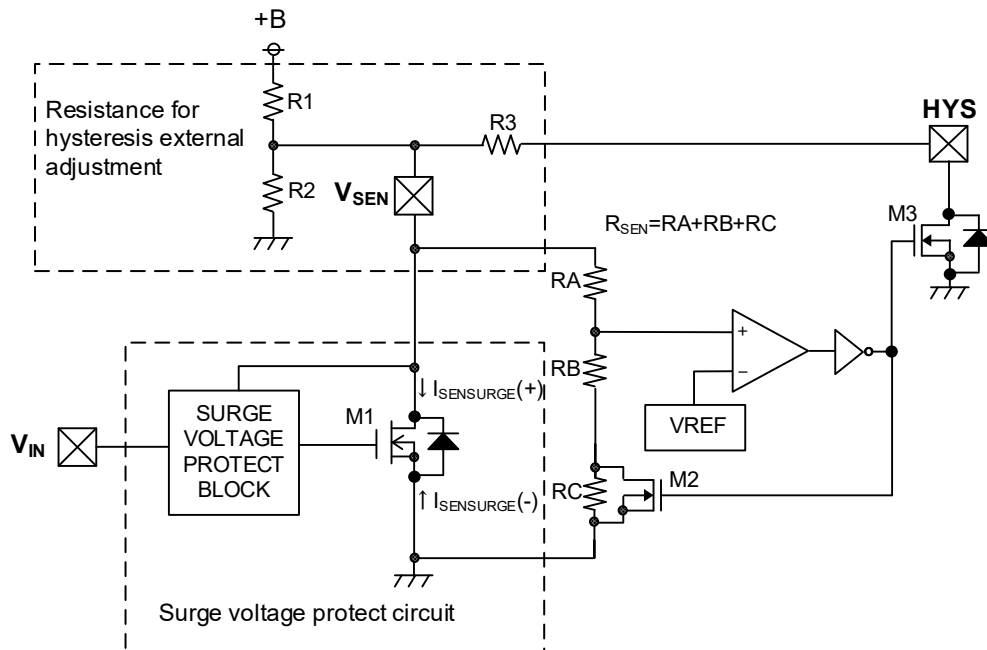


図 6.サージ電圧保護回路

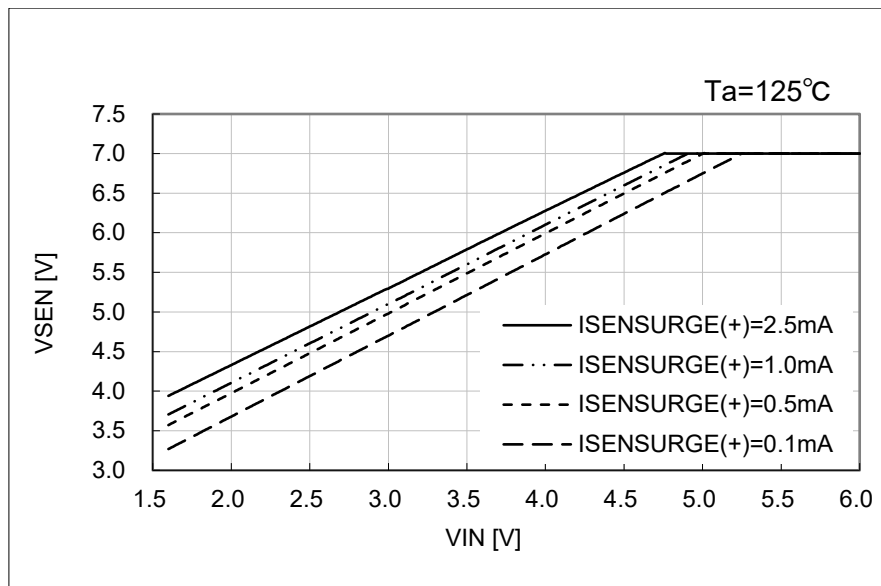


図 7.  $V_{IN}$ - $V_{SEN}$  特性例

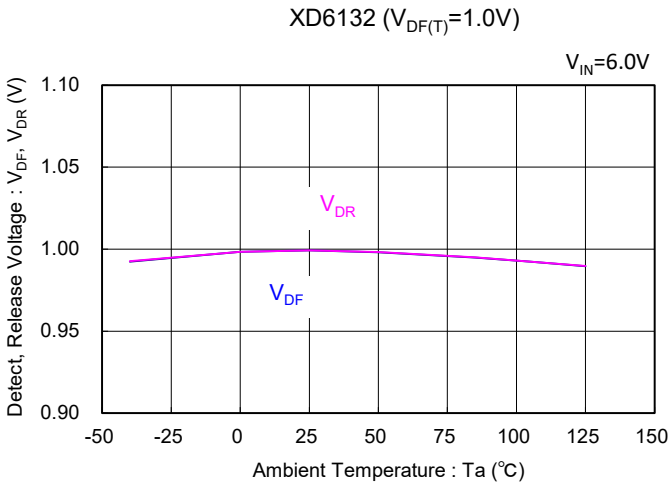


## ■使用上の注意

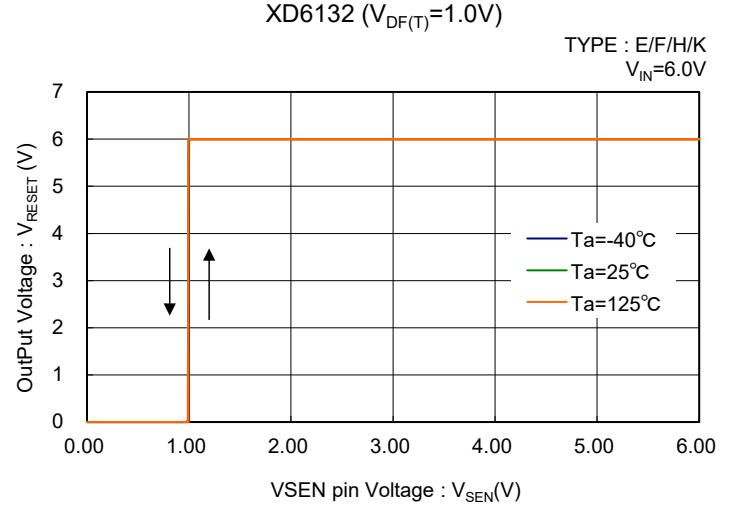
- 1) 一時的、過渡的な電圧降下および電圧上昇等の現象について、絶対最大定格を超える場合には、劣化または破壊する可能性があります。
- 2) 電源-電源入力端子間の抵抗成分と IC 動作時の貫通電流により電源入力端子電圧が降下します。  
CMOS 出力の場合、出力電流でも同様に電源入力端子電圧の降下が起こります。  
この時、電源入力端子電圧が最低動作電圧を下回ると誤動作の原因となります。
- 3) 電源入力端子電圧が急峻かつ大きく変動すると誤動作を起こす可能性がありますのでご注意ください。
- 4) 電源ノイズは誤動作の原因となる事がありますので、 $V_{IN}$ -GND 間にコンデンサを挿入するなど実機での評価を十分にしてください。
- 5) 出荷時、内部ヒステリシスはついていませんので、 $V_{SEN}$  端子、HYS 端子に外付け抵抗で 1%以上のヒステリシスをつけてください。  
外付け抵抗でヒステリシスをつけない場合、検出電圧や解除電圧で切り替わる際に発振しますのでご注意ください。
- 6)  $V_{SEN}$  端子、HYS 端子の抵抗値が高い場合発振する可能性がありますので、監視するノードと  $V_{SEN}$  端子間及び  $V_{SEN}$  端子と HYS 端子間の各抵抗は 1M $\Omega$  以下でご利用下さい。
- 7)  $V_{IN}$  と  $V_{SEN}$  を共通に立ち上げた場合、 $V_{IN}$  が動作電圧に達するまで出力は不定となりますのでご注意ください。
- 8) マニュアルリセットをかける際に、リセットスイッチを使用せずに Cd/MRB 端子に MRB H レベルまたは MRB L レベルの電圧を印加して使用する場合、以下の事項にご注意下さい。  
検出時に MRB H レベルの電圧を印加した場合、リセット出力端子は不定となります。  
また  $V_{SEN}$  端子電圧と Cd/MRB 端子電圧のタイミングによっては出力が不定になる場合がありますのでご注意ください。
- 9) Nch オープンドレイン出力の時、出力端子に接続するプルアップ抵抗によって検出時と解除時の  $V_{RESETB}$  電圧が決まります。  
以下の事柄を参照して抵抗値を選択して下さい。  
【検出時】  
$$V_{RESETB} = V_{pull} / (1 + R_{pull} / R_{ON})$$
$$V_{pull}: \text{プルアップ先の電圧}$$
$$R_{ON}^{(*)}: \text{Nch ドライバ M6 の ON 抵抗 (電気的特性より、} V_{RESETB} / I_{RBOUTN} \text{ から算出)}$$
計算例)  $V_{IN} = 2.0V$  時<sup>(2)</sup>  $R_{ON} = 0.3 / (4.2 \times 10^{-3}) = 71.4\Omega$  (MAX.)となり、 $V_{pull}$  が 3.0V で検出時の  $V_{RESETB}$  を 0.1V 以下に設定する場合、
$$R_{pull} = \{ (V_{pull} / V_{RESETB}) - 1 \} \times R_{ON} = \{ (3/0.1) - 1 \} \times 71.4 \approx 2.1k\Omega$$
になるため上記条件で検出時の出力電圧を 0.1V 以下にする為には、プルアップ抵抗を 2.1k $\Omega$  以上にする必要があります。  
<sup>(\*)</sup>  $V_{IN}$  が小さいほど  $R_{ON}$  は大きくなりますのでご注意ください。  
<sup>(2)</sup>  $V_{IN}$  の選択はご利用になる入力電圧の範囲での最低値で計算して下さい。  
【解除時】
$$V_{RESETB} = V_{pull} / (1 + R_{pull} / R_{off})$$
$$V_{pull}: \text{プルアップ先の電圧}$$
$$R_{off}: \text{Nch ドライバ M6 の OFF 時抵抗値 (電気的特性より、} V_{RESETB} / I_{LEAKN} \text{ から算出)}$$
計算例)  $V_{pull}$  が 6.0V 時  $R_{off} = 6 / (0.1 \times 10^{-6}) = 60M\Omega$  (MIN.)となり、 $V_{RESETB}$  を 5.99V 以上にする場合
$$R_{pull} = \{ (V_{pull} / V_{RESETB}) - 1 \} \times R_{off} = \{ (6/5.99) - 1 \} \times 60 \times 10^6 \approx 100k\Omega$$
になるため上記条件で解除時の出力電圧を 5.99V 以上にする為にはプルアップ抵抗を 100k $\Omega$ 以下にする必要があります。
- 10) 検出時における遅延容量 Cd の放電時間が短く、遅延容量 Cd をグラウンドレベルまでディスチャージできない場合、次の解除動作では遅延容量 Cd に電荷が残っている状態で充電となる為、解除遅延時間が著しく短くなる事があります。
- 11) 解除時における遅延容量 Cd の充電時間が短く、遅延容量 Cd を  $V_{IN}$  レベルまでチャージできない場合、次の検出動作では遅延容量 Cd が  $V_{IN}$  レベル未満から放電となる為、検出遅延時間が著しく短くなる事があります。
- 12) 当社では製品の改善、信頼性の向上に努めております。しかしながら、万が一のためにフェールセーフとなる設計およびエージング処理など、装置やシステム上で十分な安全設計をお願いします。

## ■ 特性例

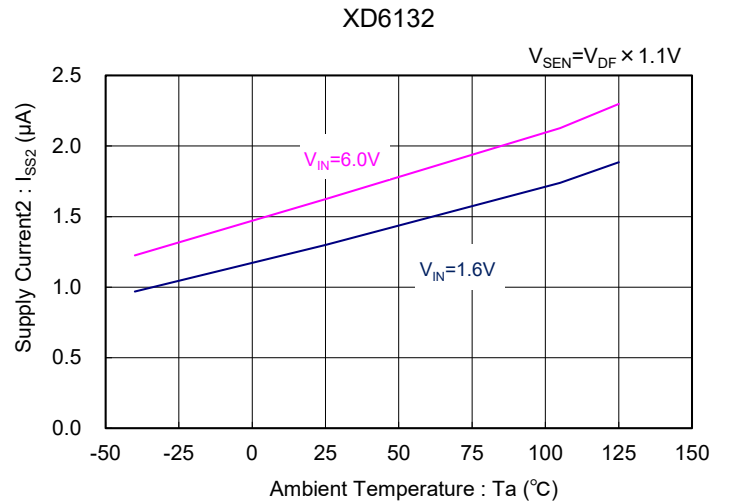
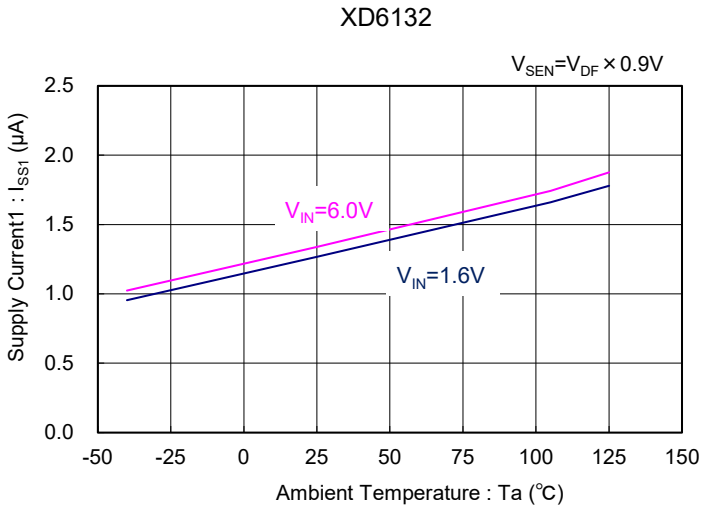
(1) Detect, Release Voltage vs. Ambient Temperature



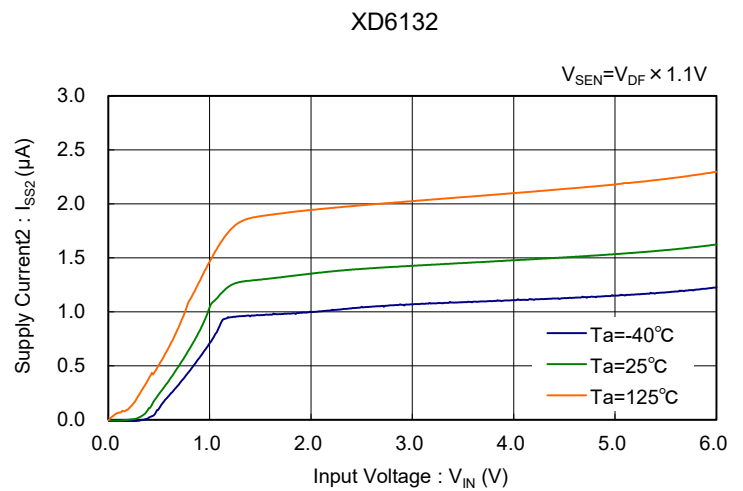
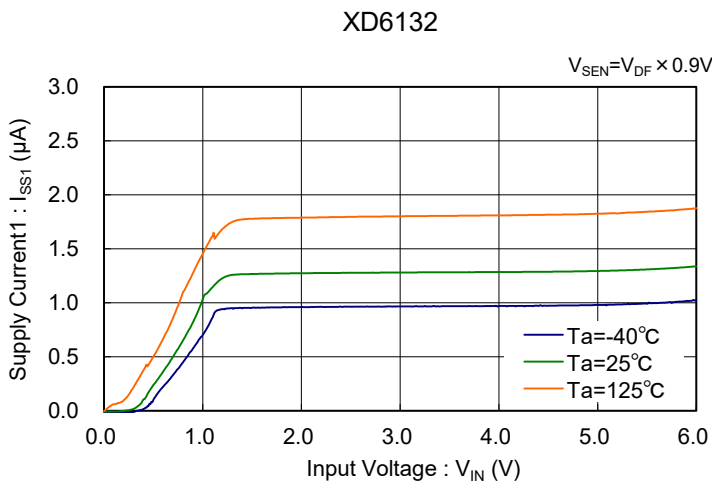
(2) Output Voltage vs Sense Voltage



(3) Supply Current vs. Ambient Temperature

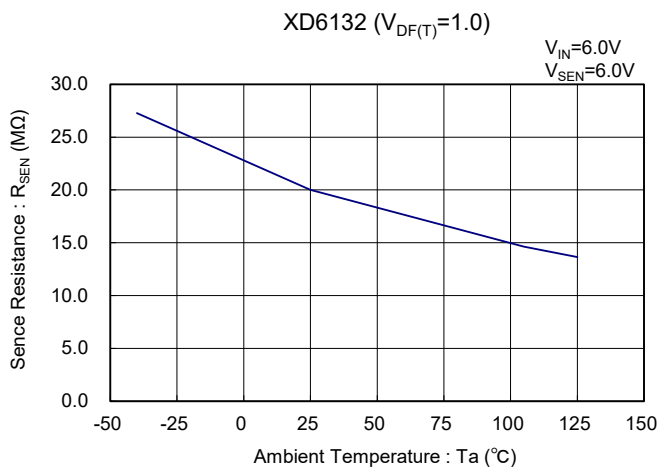


(4) Supply Current vs. Input Voltage



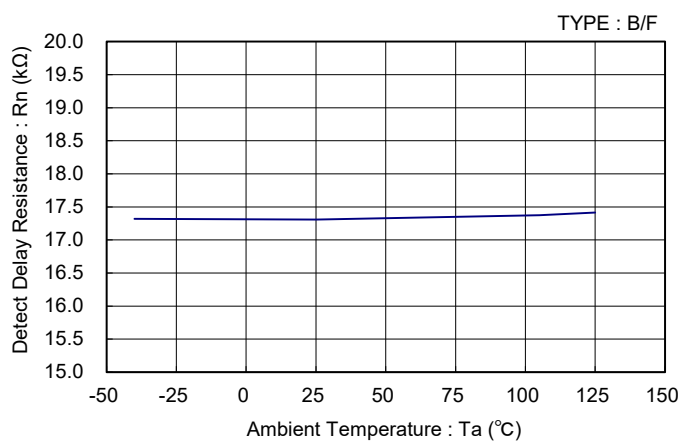
■ 特性例

(5) Sense Resistance vs Ambient Temperature

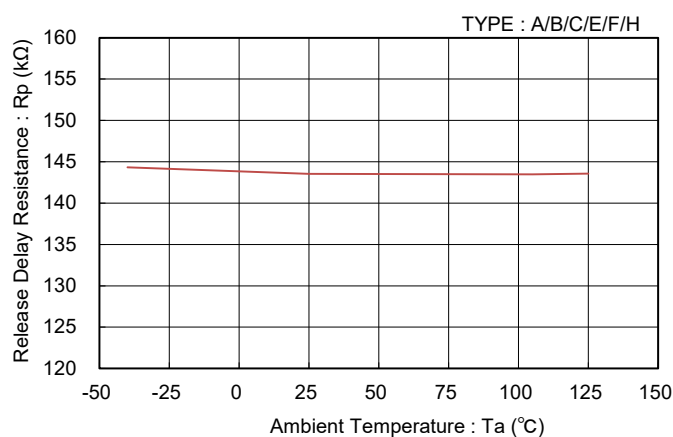


(6) Delay Resistance vs Ambient Temperature

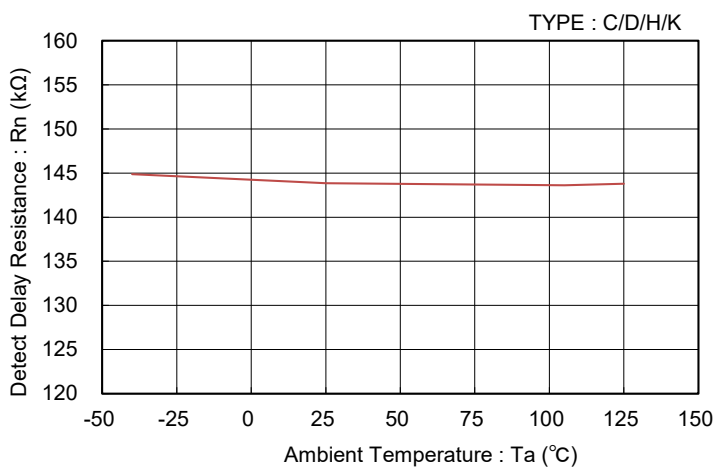
XD6132



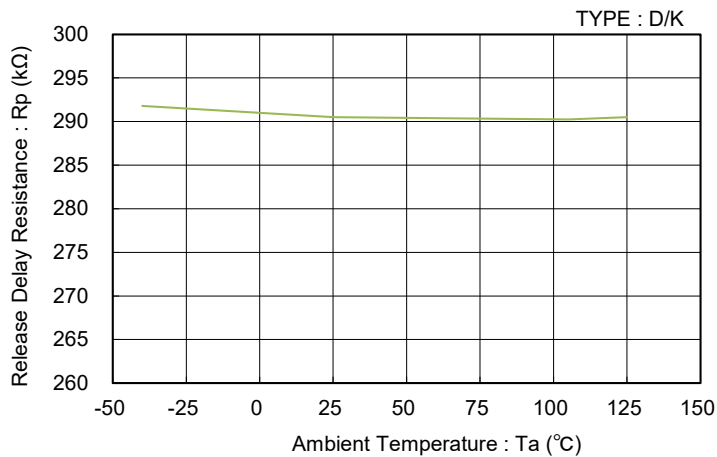
XD6132



XD6132

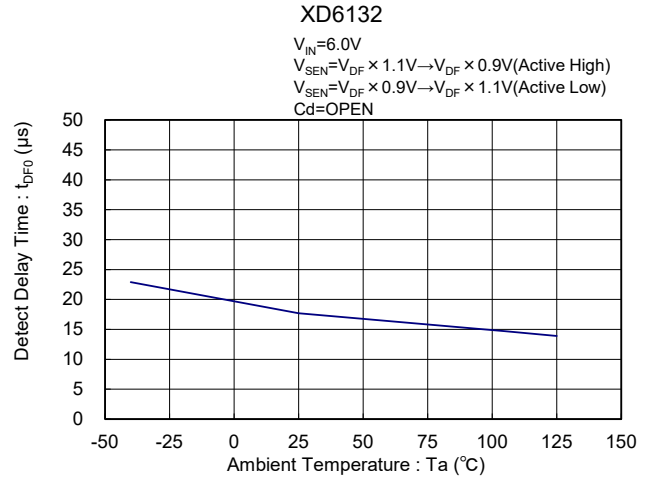
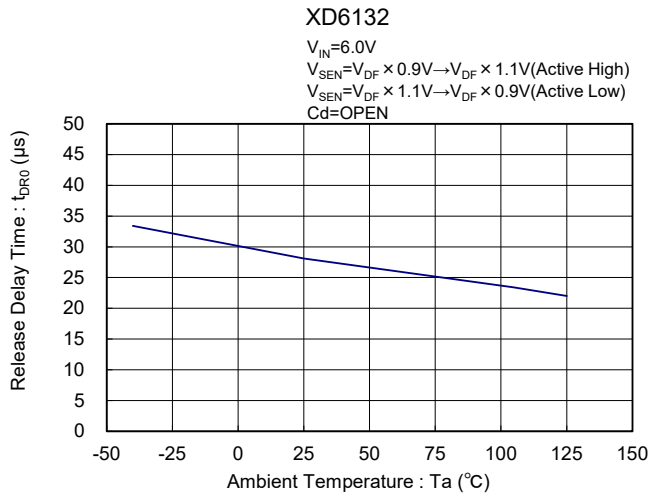


XD6132

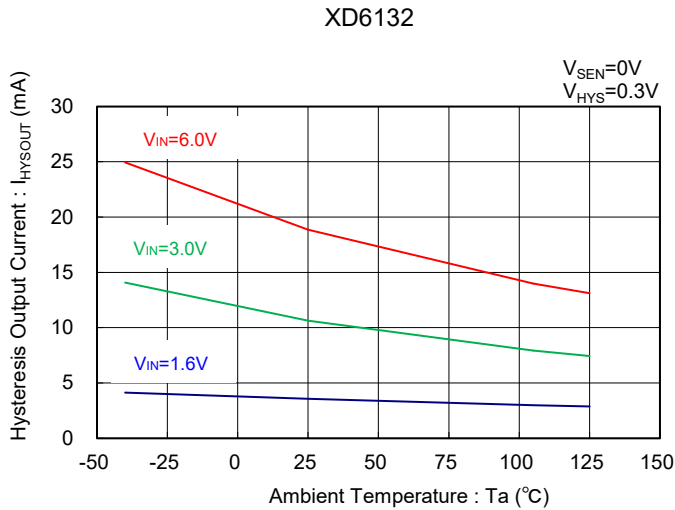


## ■ 特性例

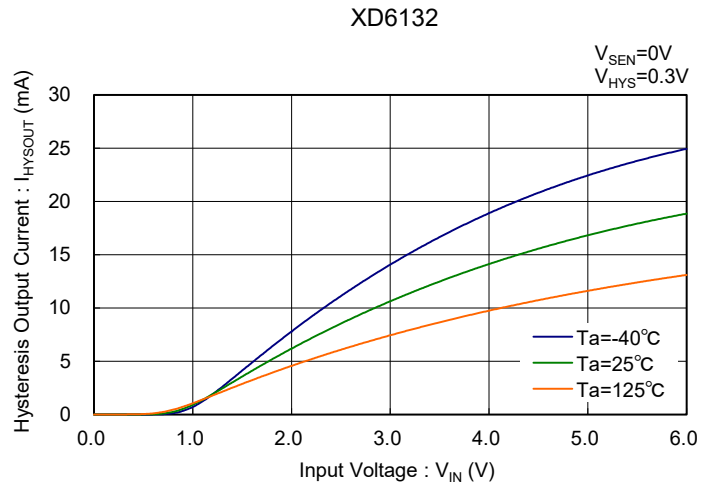
(7) Delay Time vs Ambient Temperature



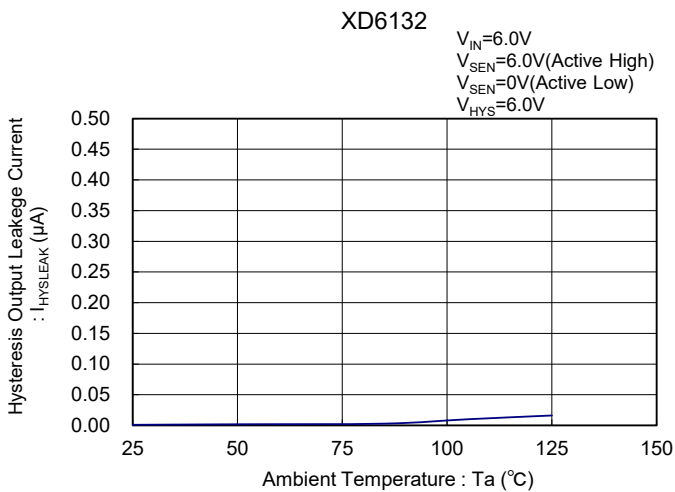
(8) Hysteresis Output Current vs Ambient Temperature



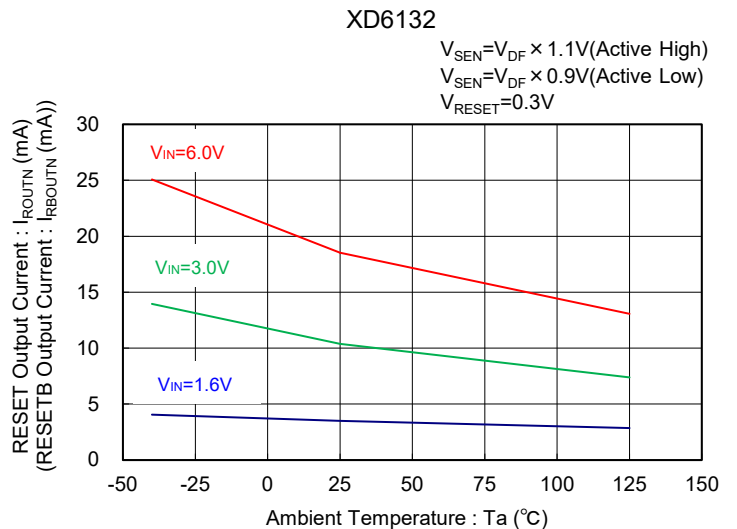
(9) Hysteresis Output Current vs Input Voltage



(10) Hysteresis Output Leakage Current vs Ambient Temperature

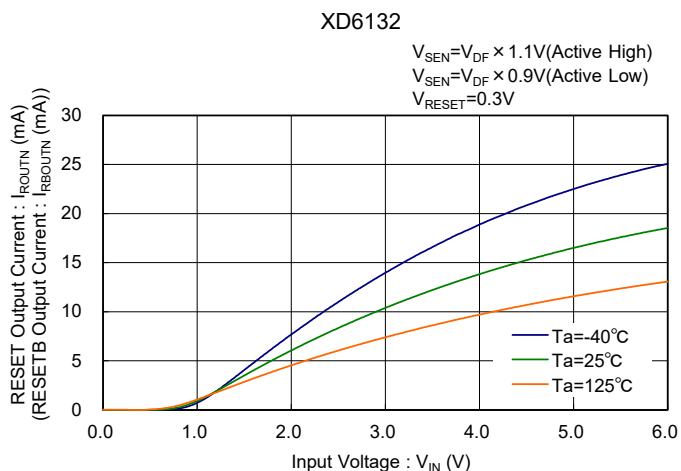


(11) RESET(RESETB) Output Current vs Ambient Temperature

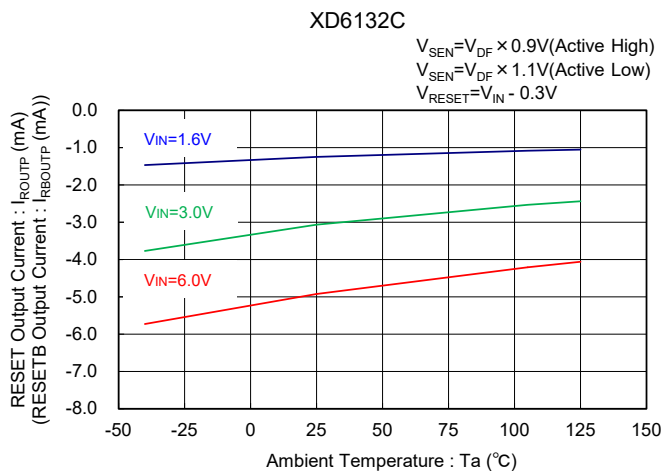


■ 特性例

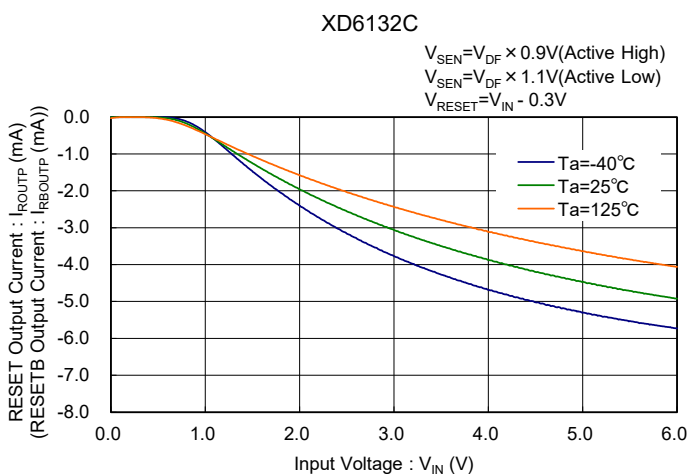
(12) RESET(RESETB) Output Current vs Input Voltage



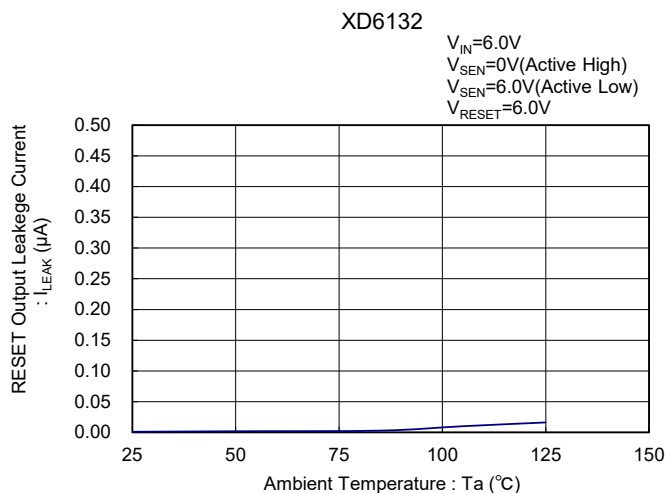
(13) RESET(RESETB) Output Current vs Ambient Temperature



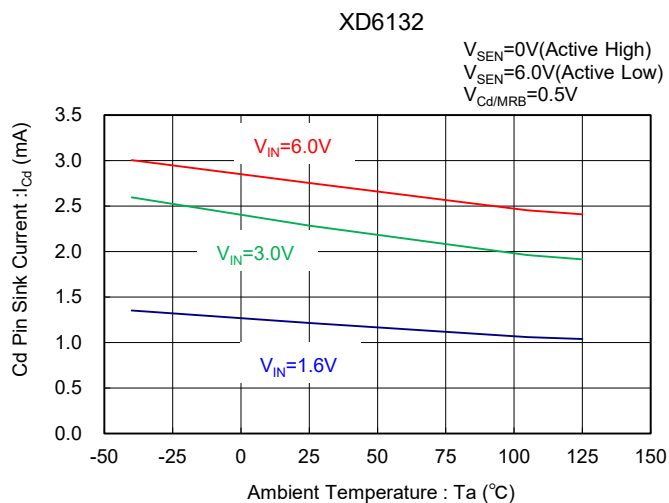
(14) RESET(RESETB) Output Current vs Input Voltage



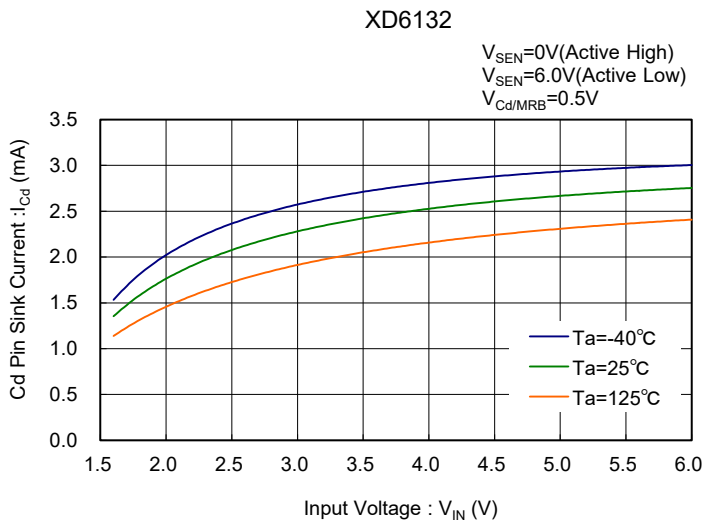
(15) RESET Output Leakage Current vs Ambient Temperature



(16) Cd Pin Sink Current vs Ambient Temperature

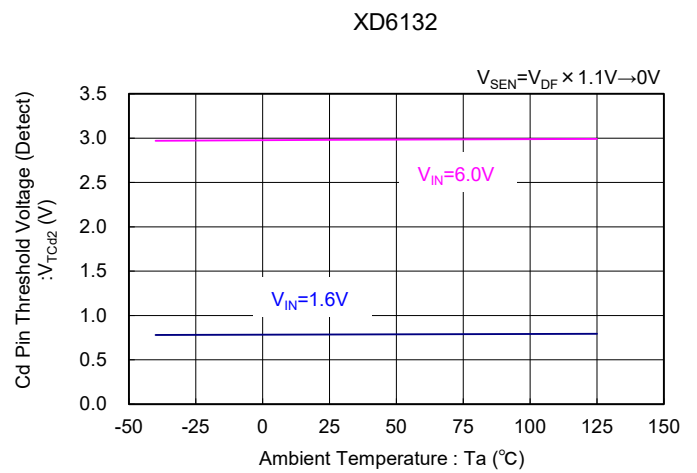
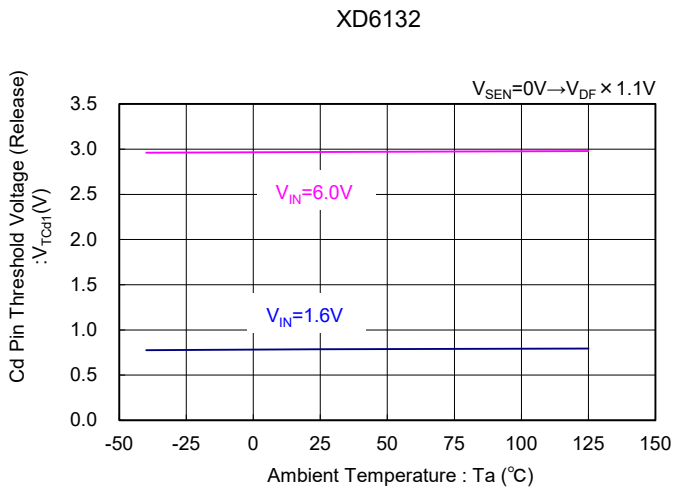


(17) Cd Pin Sink Current vs Input Voltage

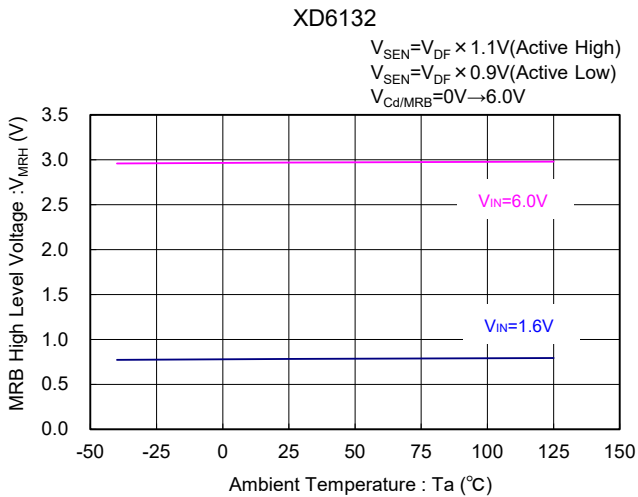


## ■ 特性例

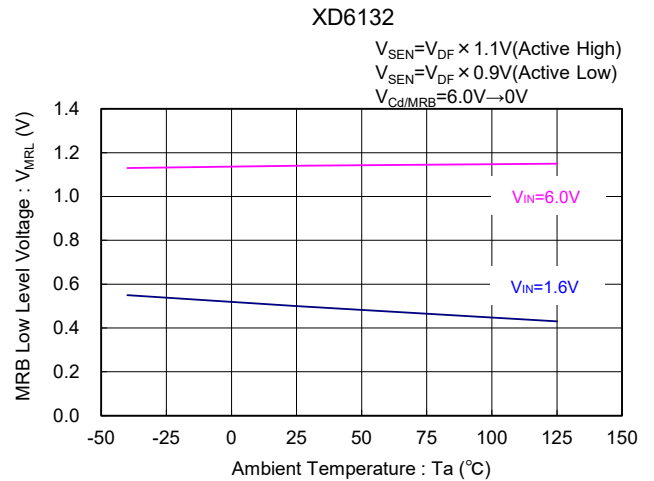
(18) Cd Pin Threshold Voltage vs Ambient Temperature



(19) MRB High Level Voltage vs Ambient Temperature



(20) MRB Low Level Voltage vs Ambient Temperature



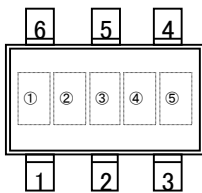
## ■ パッケージインフォメーション

最新のパッケージ情報については [www.torex.co.jp/technical-support/packages/](http://www.torex.co.jp/technical-support/packages/) をご覧ください。

PACKAGE	OUTLINE / LAND PATTERN	THERMAL CHARACTERISTICS
SOT-26	<a href="#">SOT-26 PKG</a>	<a href="#">SOT-26 Power Dissipation</a>
USP-6C	<a href="#">USP-6C PKG</a>	<a href="#">USP-6C Power Dissipation</a>

## ■マーキング

SOT-26



① 製品シリーズ範囲を表す

シンボル	品名表記例
3	XD6132*****-Q

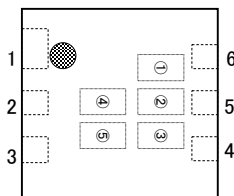
\* XD6132 シリーズの①は共通のシンボルにて連番を取得する。

②,③ 登録連番を表す。

連番は 01、…、09、10、…、99、A0、…、A9、B0、…、B9、…、Z9…を順番とする。  
(但し、G、I、J、O、Q、W は除く。)

\*連番は、PKG では分けない。

USP-6C



④,⑤ 製造ロットを表す。

01~09、0A~0Z、11…9Z、A1~A9、AA…Z9、ZA~ZZ を繰り返す。  
(但し、G、I、J、O、Q、W は除く。反転文字は使用しない。)

\*②,③は、①を基準として、製品名(フル品番)を表す。



1. 本データシートに記載された内容(製品仕様、特性、データ等)は、改善のために予告なしに変更することがあります。製品のご使用にあたっては、その最新情報を当社または当社代理店へお問い合わせ下さい。
2. 本データシートに記載された内容は、製品の代表的動作及び特性を説明するものでありそれらの使用に関連して発生した第三者の知的財産権の侵害などに関し当社は一切その責任を負いません。又その使用に際して当社及び第三者の知的財産権の実施許諾を行うものではありません。
3. 本データシートに記載された製品或いは内容の情報を海外へ持ち出される際には、「外国為替及び外国貿易法」その他適用がある輸出関連法令を遵守し、必要な手続きを行って下さい。
4. 本製品は、1)原子力制御機器、2)航空宇宙機器、3)医療機器、4)車両・その他輸送機器、5)各種安全装置及び燃焼制御装置等々のように、その機器が生命、身体、財産等へ重大な損害を及ぼす可能性があるような非常に高い信頼性を要求される用途に使用されることを意図しておりません。ただし、弊社が車載用等の用途を指定する場合は除きます。また車載用等使用の場合、弊社の事前の書面による許可なくして使用しないでください。
5. 当社は製品の品質及び信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生します。故障のために生じる人身事故、財産への損害を防ぐためにも設計上のフェールセーフ、冗長設計及び延焼対策にご留意をお願いします。
6. 本データシートに記載された製品には耐放射線設計はなされていません。
7. 保証値を超えた使用、誤った使用、不適切な使用等に起因する損害については、当社では責任を負いかねますので、ご了承下さい。
8. 本データシートに記載された内容を当社の事前の書面による承諾なしに転載、複製することは、固くお断りします。

トレックス・セミコンダクター株式会社